

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-271109

(43)Date of publication of application : 25.09.2003

(51)Int.Cl.

G09G 3/36  
G02F 1/13  
G02F 1/133  
G02F 1/1345  
G02F 1/167  
G09F 9/00  
G09G 3/20

(21)Application number : 2002-075055

(71)Applicant : SHARP CORP

(22)Date of filing : 18.03.2002

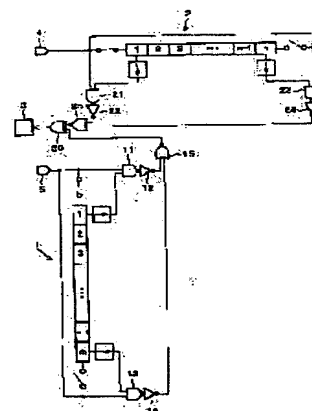
(72)Inventor : TAKATO YUTAKA  
SHIRAI KATSUNORI  
SHIBAZAKI AKIRA

## (54) DISPLAY DEVICE AND METHOD FOR INSPECTING SCANNING CIRCUIT FOR THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a display device in which the normal/defective condition of a scanning circuit is judged reliably and at high speed without involving an increase in an area or the complexity of the circuit, and to provide a method for inspecting the scanning circuit for the same.

**SOLUTION:** A clock signal and a start pulse which has fixed width, is synchronized with the clock signal and shifted by a gate driver 1 or a source driver 2 as shift data are inputted into the gate driver 1 and the source driver 2 at a fixed period. The start pulse and an output which is an output at the final stage of the shift data in a shift direction, and delayed by time set in advance are inputted into a NAND gate 13 and an inverter 14, and into a NAND gate 23 and an inverter 24. The scanning circuit is inspected by using the outputs of the inverters 14 and 24.



### LEGAL STATUS

[Date of request for examination]

28.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The gate driver for choosing as line sequential the pixel arranged in the shape of a matrix, and scanning it, The pixel of the line by which selection was made [ above-mentioned ] is equipped with the source driver for supplying a data signal. In the display with which one [ at least ] driver of the above-mentioned gate driver and the above-mentioned source drivers was formed on the substrate at the monolithic In the scanning circuit of the above-mentioned driver formed in the monolithic among both the above-mentioned drivers Have fixed width of face and it synchronizes with a clock signal as shift data at the above-mentioned clock signal. The start pulse shifted in the scanning circuit of the above-mentioned driver formed in the monolithic is inputted a fixed period. The above-mentioned start pulse, The display with which it is the output of the shift direction last stage of the shift data corresponding to this start pulse, and the output which was set up beforehand, and which was made by carrying out time delay is characterized by being inputted into the 1st logical circuit and inspecting a scanning circuit with the 1st output from this 1st logical circuit.

[Claim 2] every [ in / the above-mentioned driver formed in the monolithic is equipped with the change means which changes the above-mentioned shift direction bidirectionally, and the above-mentioned clock signal and the above-mentioned start pulse are inputted into the scanning circuit of the above-mentioned driver, and / the shift direction of each above ] -- the display according to claim 1 characterized by for the 1st output to be inputted into the 2nd logical circuit, and to inspect a scanning circuit with the 2nd output from this 2nd logical circuit.

[Claim 3] In the display with which the gate driver for choosing as line sequential the pixel arranged in the shape of a matrix, and scanning it and the source driver for supplying a data signal to the pixel of the line by which selection was made [ above-mentioned ] were formed on the substrate at the monolithic In each scanning circuit of both the above-mentioned drivers equipped with the change means which changes the shift direction bidirectionally A clock signal and the start pulse which has fixed width of face and is shifted as shift data in the above-mentioned scanning circuit synchronizing with the above-mentioned clock signal are inputted a fixed period. The start pulse to the scanning circuit of the above-mentioned gate driver, It is the output of the shift direction last stage of the shift data corresponding to the start pulse to the scanning circuit of this gate driver. The output which was set up beforehand and which was made by carrying out time delay is inputted into the 1st logical circuit for every above-mentioned shift direction, respectively. every in the shift direction of each above -- every from the 1st logical circuit -- with the start pulse to the scanning circuit of the above-mentioned source driver, while the 1st output is inputted [ both ] into the 2nd logical circuit It is the output of the shift direction last stage of the shift data corresponding to the start pulse to the scanning circuit of this source driver. The output which was set up beforehand and which was made by carrying out time delay is inputted into the 3rd logical circuit for every above-mentioned shift direction, respectively. every in the shift direction of each above -- every from the 3rd logical circuit -- the display characterized by being inputted into the 4th logical circuit, inputting the 2nd output of the above, and the 4th output of the above into the 5th logical circuit, and the 3rd output inspecting [ both ] both the above-mentioned scanning circuits with the 5th output of this 5th logical circuit.

[Claim 4] The display according to claim 3 characterized by having the checking terminal to which the 5th output of the above was connected.

[Claim 5] In the display with which the gate driver for choosing as line sequential the pixel arranged in the shape of a matrix, and scanning it and the source driver for supplying a data signal to the pixel of the line by which selection was made [ above-mentioned ] were formed on the substrate at the monolithic A change means by which at least one side changes the shift direction bidirectionally among both the above-mentioned drivers, It has the analog switch which chooses one of the outputs and start pulses of the last stage of the shift direction. In each scanning circuit of both the above-mentioned drivers A clock signal and the start pulse which has fixed width of face and is shifted as shift data in the above-mentioned scanning circuit synchronizing with the above-mentioned clock signal are inputted a fixed period for every shift direction. Both the outputs from the last stage of both the above-mentioned scanning circuits are displays characterized by being inputted into a logical circuit and inspecting both the above-mentioned scanning circuits with the output of this logical circuit.

[Claim 6] Inspection of the above-mentioned scanning circuit is a display given in claim 1 characterized by judging whether the above-mentioned scanning circuit is operating normally thru/or any 1 term of 5 by detecting the last output among the outputs from the above-mentioned scanning circuit and the above-mentioned logical circuit for using for the above-mentioned inspection after the time amount beforehand set up after the above-mentioned start pulse was inputted.

[Claim 7] This last output [ in / in the above-mentioned last output after the time amount beforehand set up after the above-mentioned start pulse was inputted / the time amount before and behind that ] is a display according to claim 6 characterized by judging with the above-mentioned scanning circuit operating normally when becoming a different predetermined value.

[Claim 8] When a NAND gate and an inverter to the 2nd logical circuit of the above consists of the NOR gate in the 1st logical circuit of the above and the output of the shift direction last stage of the above-mentioned start pulse is 0 or 1, It is the display according to claim 2 characterized by being judged with the above-mentioned scanning circuit operating normally when the 2nd output of the above after the time amount set up beforehand is 1 or 0 and the 2nd output of the above in the time amount before and behind that is 0 or 1, after the above-mentioned start pulse is inputted.

[Claim 9] The 1st logical circuit of the above, and the 3rd logical circuit of the above From a NAND gate and an inverter, the 2nd logical circuit of the above, and the 4th logical circuit of the above from the NOR gate The time amount back beforehand set up after the 5th logical circuit of the above consisted of Exclusive OR and each above-mentioned start pulse was inputted, When the 1st output of the above and the 3rd output corresponding to each above-mentioned start pulse are 1 and the 2nd output of the above and the 4th output are 0, It is the display according to claim 3 or 4 characterized by being judged with both the above-mentioned scanning circuits operating normally when the 1st output of the above and the 3rd output in time amount before and behind that are 0 and the 2nd output of the above and the 4th output are 1.

[Claim 10] A display given in claim 1 characterized by having the delay means which was beforehand set up when only a predetermined number of stages shifted further the output of the above-mentioned shift direction last stage, and which carries out time delay thru/or any 1 term of 9.

[Claim 11] The above-mentioned delay means is a display according to claim 10 characterized by being a shift register.

[Claim 12] It is the display according to claim 5 characterized by being judged with both the above-mentioned scanning circuits operating normally when the above-mentioned output after the time amount set up beforehand is 1 and the above-mentioned output in the time amount before and behind that is 0, after the above-mentioned logical circuit consists of Exclusive OR and the above-mentioned start pulse is inputted.

[Claim 13] When inputted in a specific combination which has two or more display modes which can be changed with the display-mode change signal inputted, and has the above-mentioned display-mode

change signal By separating the original signal which outputs the output of the above-mentioned logical circuit to the signal terminal in the signal wiring which does not influence actuation of both the above-mentioned scanning circuits, and is inputted into the above-mentioned signal wiring from this signal wiring The display according to claim 5 characterized by judging whether both the above-mentioned scanning circuits are operating normally using the above-mentioned output in the timing set up beforehand.

[Claim 14] The 1st NOR gate where the above-mentioned display-mode change signal is inputted, and only when all the above-mentioned display-mode change signals are 0 With the analog switch which is equipped with the 2nd NOR gate where the output from the 1st NOR gate of the above is inputted, and is driven with the output and its reversal output from the 1st NOR gate of the above When the output from the 1st NOR gate of the above is 0, pull-up of all the inputs to the 2nd NOR gate of the above is carried out. And after the above-mentioned display-mode change signal is inputted into the 2nd NOR gate of the above from the 1st NOR gate of the above The display according to claim 13 with which the input state of the 2nd NOR gate of the above is characterized by carrying out fixed period maintenance by separating the 2nd NOR gate of the above by the analog switch at capacity even if it changes to the combination from which the account display-mode change signal of Gokami differs.

[Claim 15] The gate driver for choosing as line sequential the pixel arranged in the shape of a matrix, and scanning it, ~~The pixel of the line by which selection was made [above-mentioned]~~ is equipped with the source driver for supplying a data signal. In the display with which one [ at least ] driver of the above-mentioned gate driver and the above-mentioned source drivers was formed on the substrate at the monolithic In the scanning circuit of the above-mentioned driver which the above-mentioned driver formed in the monolithic was equipped with the change means which changes the above-mentioned shift direction bidirectionally, and was formed in the monolithic among both the above-mentioned drivers Corresponding to each above-mentioned both directions, have fixed width of face and it synchronizes with a clock signal as shift data at the above-mentioned clock signal. The start pulse shifted in the scanning circuit of the above-mentioned driver formed in the monolithic is inputted a fixed period. After the above-mentioned start pulse is shifted in the 1st direction and transmitted to the 1st direction last stage, the above-mentioned change means Change the shift direction in the 2nd direction from the 1st direction, and the above-mentioned shift data transmitted to the above-mentioned 1st direction last stage are held further temporarily at a latch circuit. Or the display which a direct input is carried out to the above-mentioned scanning circuit as data shifted in the 2nd direction of the above, and is characterized by inspecting the above-mentioned scanning circuit using the shift data which were shifted in the 2nd direction of the above synchronizing with the above-mentioned clock signal, and were transmitted to the above-mentioned 2nd direction last stage.

[Claim 16] The display according to claim 15 characterized by judging whether the scanning circuit is operating normally by inputting into a comparison or a judgment logical circuit the start pulse inputted into the degree of the start pulse which became the above-mentioned shift data in the scanning circuit of the above-mentioned driver formed in the monolithic as the shift data transmitted to the above-mentioned 2nd direction last stage.

[Claim 17] The display according to claim 15 characterized by judging whether the above-mentioned scanning circuit is operating normally by whether a predetermined value is outputted after the time amount beforehand set up after the start pulse which became these shift data in the transmitted shift data to the above-mentioned 2nd direction last stage was inputted.

[Claim 18] The above-mentioned scanning circuit is a display given in claim 1 characterized by consisting of the polycrystalline silicon or polish recon which promoted crystal growth according to the metal catalyst thru/or any 1 term of 17.

[Claim 19] A display given in claim 1 characterized by displaying a pixel using liquid crystal, electrophoresis, or organic electroluminescence thru/or any 1 term of 18.

[Claim 20] A display given in claim 1 characterized by having a phase contrast detection means to

detect the phase contrast of the above-mentioned start pulse and the output of the shift direction last stage of the above-mentioned shift data thru/or any 1 term of 19.

[Claim 21] The above-mentioned change means is a display given in any 1 term of claims 2, 3, 5, and 15 which are clocked inverters and are characterized by changing the above-mentioned shift direction based on the input value to this clocked inverter.

[Claim 22] A display given in claim 1 characterized by the output of the above-mentioned scanning circuit being divided by the multiplexer thru/or any 1 term of 20.

[Claim 23] The scan circuit conditioning approach which inputs into the scanning circuit of a driver a clock signal and the start pulse which has fixed width of face and is shifted as shift data synchronizing with the above-mentioned clock signal a fixed period, carries out a logistic using the above-mentioned start pulse and the output of the shift direction last stage of the shift data corresponding to this start pulse, and is characterized by to judge whether the above-mentioned scanning circuit is operating normally based on the result.

[Claim 24] The scan circuit conditioning approach according to claim 23 characterized by to judge whether the above-mentioned scanning circuit is operating normally by carrying out a logistic in each shift direction, and carrying out a logistic further using the count result corresponding to each shift direction using the above-mentioned start pulse and the output of the shift direction last stage of the shift data corresponding to this start pulse when the shift direction of the above-mentioned shift data can change bidirectionally.

[Claim 25] The scan circuit conditioning approach according to claim 23 or 24 characterized by judging whether both the above-mentioned scanning circuits are operating normally by carrying out a logistic further using those count results in each of two scanning circuits after carrying out the above-mentioned logistic.

[Claim 26] A clock signal and the start pulse which has fixed width of face and is shifted as shift data synchronizing with the above-mentioned clock signal Input into the scanning circuit of a driver a fixed period, and shift data are shifted in the 1st direction. After transmitting to the last stage in this 1st direction, it holds to a latch circuit temporarily. The output of the last stage [ in / the shift direction is changed to the 1st direction of the above in the 2nd direction of an opposite direction, and the shift data transmitted to the last stage in the 1st direction of the above are further shifted in the 2nd direction of the above, and / this 2nd direction ], The scan circuit conditioning approach characterized by judging whether the above-mentioned scanning circuit is operating normally using the following start pulse.

---

[Translation done.]

#### **\* NOTICES \***

**JPO and NCIP are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### **DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the display which can judge whether the scanning circuit is operating normally, and its scan circuit conditioning approach.

[0002]

[Description of the Prior Art] Conventionally, generally the liquid crystal display of a driver MONOSHI rucksack mold as an indicating equipment samples a video data through the analog switch controlled by the shift register.

[0003] For example, as shown in drawing 11 (a), in each pixel of the pixel section, pixel capacity CLC and the auxiliary capacity CS were connected, and the liquid crystal display equips with TFT (Thin Film Transistor) the intersection with two or more data lines allotted two or more gate lines allotted to behavior and in the shape of a train. A gate line is connected to a gate driver and the data line is connected to the source driver.

[0004] Moreover, the counterelectrode is arranged so that it may counter through TFT and a liquid crystal layer. The opposite electrical potential difference VCOM is impressed to a counterelectrode, and liquid crystal is driven.

[0005] A gate driver carries out the sequential output of the gate pulse, scans each gate line sequentially, and chooses the pixel for one line for every 1 level period.

[0006] Moreover, a source driver scans each data line sequentially within a 1 level period using a shift register, and writes a video data in the pixel for one line sampled and chosen by point sequential. Thereby, the display of an image is attained.

[0007] Here, the source driver is equipped with the shift register and the analog switch as shown in drawing 11 (b).

[0008] Like such a usual display, when inspecting the defect of a driver, video-data Vvideo1 and Vvideo2 inputted into the source driver are sampled through the analog switch which was controlled by the shift register and which is not illustrated.

[0009] That is, after inspection of the defect of a driver operates the above-mentioned driver and writes data in a pixel like the time of the usual display, it reads the charge which the driver was operated again and held to each pixel through an analog switch. Thereby, it united with the pixel defect, and the defect of a driver is inspected and judged.

[0010] However, in this detection method, like small high definition displays, such as an object for projections, lowering of a S/N ratio and precision lowering of inspection are invited as the charge to read becomes pixel capacity is small and very small. Moreover, even if it increased the measurement count for the S/N ratio improvement, there was a problem of inspection long-duration-izing.

[0011] Moreover, in order for a pixel defect to appear and to judge the malfunction of a driver from the description of the direction, data processing took time amount and it had become the cause of inspection degradation.

[0012] Then, as shown in drawing 10 and 12, it has two scanning circuits of a driver and the display of a configuration of inspecting a driver circuit (scanning circuit) using a pad is proposed.

[0013] Thus, if the RAIBA circuit of another side is operating normally even if one driver circuit of the inside which has redundancy, for example, has two by having two driver circuits has failure, as the whole display, it is satisfactory at all.

[0014] Moreover, as shown in drawing 12, the improvement in precision of inspection and the improvement in a patient throughput were in drawing by preparing pad 103 — in the inside of gate driver 101 and the source driver 102, or its periphery, pulling out the output of the last stage of the scanning circuit in the above-mentioned driver to this pad 103 —, applying a checking probe here, and detecting a signal.

[0015] Or the inspection circuit section required for two or more functional tests is built in to two or more inspected circuit sections as indicated by the Japanese-Patent-Application-No. No. 194421 [ six

to ] official report. Moreover, the inspection circuit section has a means to store the information corresponding to a checking feature, and a means to transmit the configuration information of an inspected circuit to the inspection circuit section. Thereby, the configuration and inspection means of the inspection circuit section can be simplified, and BIST (Built-In Self Test) can be performed efficiently.

[0016]

[Problem(s) to be Solved by the Invention] However, it is necessary to form two or more pads 103 only for inspection with the configuration shown in the above-mentioned drawing 1212 . Moreover, as shown in drawing 10 , the number of the pads only for required inspection also increases by having two gate driver circuits.

[0017] In such a case, with the small high definition indicating equipments a small highly minute panel, mobile computing devices, for projections, etc., the pad of a big area must be especially formed in the area of the driver section in spite of severe constraint. Moreover, it is necessary to make the needle of a probe card correspond to the pad with which an array differs from the driving signal input terminal connection pad from the outside greatly from constraint of leading about of wiring, and a viewpoint of protection over ESD mentioned later.

[0018] Furthermore, since the pad of a large area is connected to the direct logical circuit, it is easy to produce breakage according [ this pad 103 -- ] to \*\*\*\*\* and ESD (Electrostatic Discharge: static discharge) as an antenna.

[0019] Moreover, it is necessary to form the complicated inspection circuit for a functional test with the configuration of the above-mentioned official report. In the liquid crystal display of a driver MONOSHI rucksack mold, considering the process tolerance needed based on the micro-processing level and area of the display screen section, and the circuitry of a driver, it is not practical to build in such an object for inspection circuits, and more effective detection method is required for it.

[0020] This invention is made in view of the above-mentioned conventional trouble, and the object is in certain and offering the display which can perform the quality judging of a scanning circuit at a high speed, and its scan circuit conditioning approach, without being accompanied by the increment in area, or complication of a circuit.

[0021]

[Means for Solving the Problem] The gate driver for choosing as line sequential the pixel arranged in the shape of a matrix, and scanning it, in order that the display of this invention may solve the above-mentioned technical problem, The pixel of the line by which selection was made [ above-mentioned ] is equipped with the source driver for supplying a data signal. In the display with which one [ at least ] driver of the above-mentioned gate driver and the above-mentioned source drivers was formed on the substrate at the monolithic In the scanning circuit of the above-mentioned driver formed in the monolithic among both the above-mentioned drivers Have fixed width of face and it synchronizes with a clock signal as shift data at the above-mentioned clock signal. The start pulse shifted in the scanning circuit of the above-mentioned driver formed in the monolithic is inputted a fixed period. The above-mentioned start pulse, It is the output of the shift direction last stage of the shift data corresponding to this start pulse, and the output which was set up beforehand and which was made by carrying out time delay is inputted into the 1st logical circuit, and is characterized by inspecting a scanning circuit with the 1st output from this 1st logical circuit.

[0022] According to the above-mentioned configuration, it is the output of a start pulse and the shift direction last stage of shift data, and the scanning circuit is inspected using the output which was set up beforehand and which was made by carrying out time delay.

[0023] In order to make the pulse which has a certain fixed width of face into the inspection signal used for inspection and to carry out a logistic by this, even if there are other pulses etc. by the middle, it is not accidentally recognized as an inspection signal.

[0024] Therefore, it can judge whether the quality judging of a scanning circuit, i.e., a scanning circuit, is

operating normally certainly.

[0025] Moreover, the scanning circuit of a driver (actuation circuit) can be formed in the same process as a switching element from the driver being formed on a substrate at the monolithic. Thereby, it becomes unnecessary to form for example, the actuation circuit LSI separately later, and cutback of a manufacturing cost and simplification of a mounting process can be attained.

[0026] It is desirable for the driver by which the above-mentioned indicating equipment was formed in the monolithic to be equipped with the change means which changes the shift direction bidirectionally, for a clock signal and a start pulse to be inputted into the scanning circuit of the above-mentioned driver, and for each 1st output in each shift direction to be inputted into the 2nd logical circuit, and to inspect a scanning circuit with the 2nd output from this 2nd logical circuit.

[0027] According to the above-mentioned configuration, the quality judging of the scanning circuit in both directions can be ensured.

[0028] The gate driver for choosing as line sequential the pixel arranged in the shape of a matrix, and scanning it, in order that the display of this invention may solve the above-mentioned technical problem, In the display with which the source driver for supplying a data signal to the pixel of the line by which selection was made [ above-mentioned ] was formed on the substrate at the monolithic In each scanning circuit of both the above-mentioned drivers equipped with the change means which changes the shift direction bidirectionally A clock-signal and the start-pulse which has-fixed width of face-and is shifted as shift data in the above-mentioned scanning circuit synchronizing with the above-mentioned clock signal are inputted a fixed period. The start pulse to the scanning circuit of the above-mentioned gate driver, It is the output of the shift direction last stage of the shift data corresponding to the start pulse to the scanning circuit of this gate driver. The output which was set up beforehand and which was made by carrying out time delay is inputted into the 1st logical circuit for every above-mentioned shift direction, respectively. every in the shift direction of each above -- every from the 1st logical circuit -- with the start pulse to the scanning circuit of the above-mentioned source driver, while the 1st output is inputted [ both ] into the 2nd logical circuit It is the output of the shift direction last stage of the shift data corresponding to the start pulse to the scanning circuit of this source driver. The output which was set up beforehand and which was made by carrying out time delay is inputted into the 3rd logical circuit for every above-mentioned shift direction, respectively. every in the shift direction of each above -- every from the 3rd logical circuit -- it is characterized by being inputted into the 4th logical circuit, inputting the 2nd output of the above, and the 4th output of the above into the 5th logical circuit, and the 3rd output inspecting [ both ] both the above-mentioned scanning circuits with the 5th output of this 5th logical circuit.

[0029] In order according to the above-mentioned configuration to make the pulse which has a certain fixed width of face into the inspection signal used for inspection and to carry out a logistic, even if there are other pulses etc. by the middle, it is not accidentally recognized as an inspection signal.

[0030] Therefore, it can judge whether the quality judging of a scanning circuit, i.e., a scanning circuit, is operating normally certainly.

[0031] Thereby, the quality judging of a scanning circuit can be ensured also in the small high definition displays for example, a small highly minute panel, mobile computing devices, for projections, etc., without being accompanied by the increment in area, or complication of a circuit.

[0032] As for the above-mentioned display, it is desirable to have the checking terminal to which the 5th output was connected.

[0033] According to the above-mentioned configuration, the logical circuit of an easy configuration can be outputted to one checking terminal (for example, pad) as one signal through the output of a part or the last stage of all scanning circuits. The quality judging of a scanning circuit can be easily performed by following, for example, applying a probe needle to a checking terminal.

[0034] The gate driver for choosing as line sequential the pixel arranged in the shape of a matrix, and scanning it, in order that the display of this invention may solve the above-mentioned technical problem,



In the indicating equipment with which the source driver for supplying a data signal to the pixel of the line by which selection was made [ above-mentioned ] was formed on the substrate at the monolithic among both the above-mentioned drivers at least one side It has the analog switch which chooses the output and start pulse of the change means which changes the shift direction bidirectionally, and the last stage of one of the shift directions. In each scanning circuit of both the above-mentioned drivers A clock signal and the start pulse which has fixed width of face and is shifted as shift data in the above-mentioned scanning circuit synchronizing with the above-mentioned clock signal are inputted a fixed period for every shift direction. Both the outputs from the last stage of both the above-mentioned scanning circuits are inputted into a logical circuit, and are characterized by inspecting both the above-mentioned scanning circuits with the output of this logical circuit.

[0035] In order according to the above-mentioned configuration to make the pulse which has a certain fixed width of face into the inspection signal used for inspection and to carry out a logistic, even if there are other pulses etc. by the middle, it is not accidentally recognized as an inspection signal.

[0036] Therefore, it can judge whether the quality judging of the scanning circuit in both directions, i.e., a scanning circuit, is operating normally certainly with the easy configuration.

[0037] As for the above-mentioned display, in inspection of a scanning circuit, it is desirable to judge whether the above-mentioned scanning circuit is operating normally by detecting the last output among the outputs from the above-mentioned scanning circuit and the above-mentioned logical circuit for— using for the above-mentioned inspection after the time amount beforehand set up after the above-mentioned start pulse was inputted.

[0038] That is, after a start pulse is inputted, when the last output after the time amount set up beforehand serves as a different predetermined value from this last output in the time amount before and behind that, as for a scanning circuit, it is desirable to judge with operating normally.

[0039] When a NAND gate and an inverter to the 2nd logical circuit consists of the NOR gate in the 1st logical circuit and the output of the shift direction last stage of a start pulse is specifically 0 or 1, After a start pulse is inputted, when the 2nd output after the time amount set up beforehand is 1 or 0 and the 2nd output in the time amount before and behind that is 0 or 1, it is judged with the scanning circuit operating normally.

[0040] Or the 1st logical circuit and the 3rd logical circuit From a NAND gate and an inverter, the 2nd logical circuit and the 4th logical circuit from the NOR gate When the 1st output and the 3rd output corresponding to each start pulse after the time amount beforehand set up after the 5th logical circuit consisted of Exclusive OR and each start pulse was inputted are 1 and the 2nd output and the 4th output are 0, The 1st output and the 3rd output in time amount before and behind that are 0, and when the 2nd output and the 4th output are 1, it is judged with both scanning circuits operating normally.

[0041] According to the above-mentioned configuration, the easy judgment function for a logical circuit can be given, and it can judge whether the scanning circuit is operating normally by whether the output which is the timing set up beforehand comes out.

[0042] Therefore, the quality of a scanning circuit can be judged with a high speed and a sufficient precision.

[0043] When only a predetermined number of stages shifts the output of the shift direction last stage further, as for the above-mentioned display, it is desirable to have the delay means which was set up beforehand and which carries out time delay.

[0044] According to the above-mentioned configuration, with an easy configuration, it is the output of a start pulse and the shift direction last stage of shift data, and a scanning circuit can be inspected using the output which was set up beforehand and which was made by carrying out time delay.

[0045] As for a delay means, it is [ the above-mentioned indicating equipment ] desirable that it is a shift register.

[0046] According to the above-mentioned configuration, a scanning circuit can enable a shift in both directions with an easy configuration.

[0047] The output after the time amount to which the above-mentioned display was beforehand set after the logical circuit consisted of Exclusive OR and the start pulse was inputted is 1, and when the output in the time amount before and behind that is 0, as for both scanning circuits, it is desirable to be judged with operating normally.

[0048] According to the above-mentioned configuration, it can judge whether the scanning circuit is operating normally by whether the output which is the timing set up beforehand comes out.

[0049] Therefore, the quality of a scanning circuit can be judged with a high speed and a sufficient precision.

[0050] When inputted in a specific combination which has two or more display modes which can be changed with the display-mode change signal inputted, and has a display-mode change signal, the above-mentioned display By separating the original signal which outputs the output of a logical circuit to the signal terminal in the signal wiring which does not influence actuation of both scanning circuits, and is inputted into signal wiring from this signal wiring It is desirable to judge whether both scanning circuits are operating normally using the output in the timing set up beforehand.

[0051] According to the above-mentioned configuration, it can consider as the mode in which the quality judging of a scanning circuit is performed, with the combination of a display-mode change signal. Moreover, the quality judging of a scanning circuit can be performed according to the output in a certain timing.

[0052] Therefore, it can judge whether the quality judging of a scanning circuit, i.e., a scanning circuit, is operating normally with an easy configuration.

[0053] The 1st NOR gate where, as for the above-mentioned display, a display-mode change signal is inputted, Only when all display-mode change signals are 0, with the analog switch which is equipped with the 2nd NOR gate where the output from the 1st NOR gate is inputted, and is driven with the output and its reversal output from the 1st NOR gate When the output from the 1st NOR gate is 0, pull-up of all the inputs to the 2nd NOR gate is carried out. And after a display-mode change signal is inputted into the 2nd NOR gate from the 1st NOR gate Even if it changes to the combination from which a display-mode change signal differs after that, it is desirable by separating the 2nd NOR gate by the analog switch that fixed period maintenance of the input state of the 2nd NOR gate is carried out at capacity.

[0054] According to the above-mentioned configuration, there is no need of newly preparing a checking terminal, and actuation of a scanning circuit can be inspected.

[0055] Therefore, also when the tooth space in which new terminals, such as small high definition liquid crystal displays a small highly minute panel, mobile computing devices, for projections, etc., are prepared especially is small, the judgment of the quality of a scanning circuit can be ensured [ at high speed and ].

[0056] The gate driver for choosing as line sequential the pixel arranged in the shape of a matrix, and scanning it, in order that the display of this invention may solve the above-mentioned technical problem, The pixel of the line by which selection was made [ above-mentioned ] is equipped with the source driver for supplying a data signal. In the display with which one [ at least ] driver of the above-mentioned gate driver and the above-mentioned source drivers was formed on the substrate at the monolithic In the scanning circuit of the above-mentioned driver which the above-mentioned driver formed in the monolithic was equipped with the change means which changes the above-mentioned shift direction bidirectionally, and was formed in the monolithic among both the above-mentioned drivers Corresponding to each above-mentioned both directions, have fixed width of face and it synchronizes with a clock signal as shift data at the above-mentioned clock signal. The start pulse shifted in the scanning circuit of the above-mentioned driver formed in the monolithic is inputted a fixed period. After the above-mentioned start pulse is shifted in the 1st direction and transmitted to the 1st direction last stage, the above-mentioned change means Change the shift direction in the 2nd direction from the 1st direction, and the above-mentioned shift data transmitted to the above-mentioned 1st direction last stage are held further temporarily at a latch circuit. Or a direct input is carried out to the above-mentioned scanning circuit as data shifted in the 2nd direction of the above. Synchronizing with the

above-mentioned clock signal, it is shifted in the 2nd direction of the above, and is characterized by inspecting the above-mentioned scanning circuit using the shift data transmitted to the above-mentioned 2nd direction last stage (namely, input side of the 1st direction).

[0057] According to the above-mentioned configuration, the signal which serves as a basis of a judgment spatially at a shift entry-of-data side returns. For this reason, complication of wiring is avoidable by being able to judge whether in both directions, the quality judging of a scanning circuit, i.e., a scanning circuit, is operating normally, and the excessive terminal for inspection and a long signal taking about, and losing wiring.

[0058] As for the above-mentioned indicating equipment, it is desirable to judge whether the scanning circuit is operating normally by inputting into a comparison or a judgment logical circuit the start pulse inputted into the degree of the start pulse which became shift data in the scanning circuit of the driver formed in the monolithic as the shift data transmitted to the 2nd direction last stage.

[0059] In order according to the above-mentioned configuration to make the pulse which has a certain fixed width of face into the inspection signal used for inspection and to carry out a logistic, even if there are other pulses etc. by the middle, it is not accidentally recognized as an inspection signal.

[0060] Therefore, the quality judging of a scanning circuit, i.e., the judgment of whether the scanning circuit is operating normally in both directions, can be ensured.

[0061] As for the above-mentioned indicating equipment, in the shift data transmitted to the 2nd direction last stage, it is desirable to judge whether the scanning circuit is operating normally by whether a predetermined value is outputted after the time amount beforehand set up after the start pulse used as these shift data was inputted.

[0062] According to the above-mentioned configuration, it can check that the scanning circuit is not operating normally by detecting 0 for example, to the timing whose output must be 1, or detecting 1 to the timing whose output must be 0.

[0063] Moreover, a driver can be made to few fields of the periphery of the pixel array field on a substrate. Therefore, small sum edge-ization of a substrate can be attained as compared with the case where the actuation circuit LSI is connected with a TAB mounting method and a COG mounting method, and, thereby, the miniaturization of a display can be attained.

[0064] As for the above-mentioned display, it is desirable that a scanning circuit consists of the polycrystalline silicon or polish recon which promoted crystal growth according to the metal catalyst.

[0065] According to the above-mentioned configuration, a scanning circuit can be formed on a substrate at the low process temperature of 600 degrees C or less.

[0066] The above-mentioned display is liquid crystal, electrophoresis, or organic electroluminescence (it is desirable to display a pixel using organic electroluminescence (OLED)).

[0067] According to the above-mentioned configuration, it can consider as a liquid crystal display, a electroluminescence display, etc., for example.

[0068] As for the above-mentioned indicating equipment, it is desirable to have a phase contrast detection means to detect the phase contrast of a start pulse and the output of the shift direction last stage of shift data.

[0069] According to the above-mentioned configuration, it is the output of a start pulse and the shift direction last stage of shift data, and a scanning circuit can be inspected with a sufficient precision using the output which was set up beforehand and which was made by carrying out time delay.

[0070] A change means is a clocked inverter and, as for the above-mentioned indicating equipment, it is desirable that the shift direction is changed based on the input value to a clocked inverter.

[0071] According to the above-mentioned configuration, the quality of the scanning circuit in both directions can be judged.

[0072] As for the above-mentioned indicating equipment, it is desirable that the output of a scanning circuit is divided by the multiplexer.

[0073] According to the above-mentioned configuration, the number of scan signal outputs to the

number of stages of a shift register can be increased, and the cutback of a tooth space can be aimed at. Moreover, the lap of a pulse output can be set as arbitration.

[0074] In order that the scan circuit conditioning approach of this invention may solve the above-mentioned technical problem, a clock signal, It has fixed width of face and the start pulse shifted as shift data synchronizing with the above-mentioned clock signal is inputted into the scanning circuit of a driver a fixed period. A start pulse, A logistic is carried out using the output of the shift direction last stage of the shift data corresponding to this start pulse, and it is characterized by judging whether based on the result, the above-mentioned scanning circuit is operating normally.

[0075] According to the above-mentioned configuration, it is the output of a start pulse and the shift direction last stage of shift data, and the scanning circuit is inspected using the output which was set up beforehand and which was made by carrying out time delay.

[0076] In order to make the pulse which has a certain fixed width of face into the inspection signal used for inspection and to carry out a logistic by this, even if there are other pulses etc. by the middle, it is not accidentally recognized as an inspection signal.

[0077] Therefore, it can judge whether the quality judging of a scanning circuit, i.e., a scanning circuit, is operating normally certainly.

[0078] When the shift direction of shift data can change bidirectionally, as for the above-mentioned scan circuit conditioning approach, it is desirable by carrying out a logistic in each shift direction, and carrying out a logistic further using the count result corresponding to each shift direction using a start pulse and the output of the shift direction last stage of the shift data corresponding to this start pulse, to judge whether the scanning circuit is operating normally.

[0079] According to the above-mentioned configuration, the quality judging of the scanning circuit in both directions can be ensured.

[0080] In each of two scanning circuits, after the above-mentioned scan circuit conditioning approach carries out a logistic, it is desirable by carrying out a logistic further using those count results to judge whether both scanning circuits are operating normally.

[0081] According to the above-mentioned configuration, the quality judging of a scanning circuit can be ensured also, for example in the small high definition displays a small highly minute panel, mobile computing devices, for projections, etc., without being accompanied by the increment in area, or complication of a circuit.

[0082] In order that the scan circuit conditioning approach of this invention may solve the above-mentioned technical problem, a clock signal, The start pulse which has fixed width of face and is shifted as shift data synchronizing with the above-mentioned clock signal Input into the scanning circuit of a driver a fixed period, and shift data are shifted in the 1st direction. After transmitting to the last stage in this 1st direction, it holds to a latch circuit temporarily. The output of the last stage [ in / the shift direction is changed to the 1st direction of the above in the 2nd direction of an opposite direction, and the shift data transmitted to the last stage in the 1st direction of the above are further shifted in the 2nd direction of the above, and / this 2nd direction ], It is characterized by judging whether the above-mentioned scanning circuit is operating normally using the following start pulse.

[0083] According to the above-mentioned configuration, the quality judging of the scanning circuit in both directions can be ensured.

[0084]

[Embodiment of the Invention] [Gestalt 1 of operation] It will be as follows if one gestalt of the operation about the display of this invention is explained based on drawing 1 thru/or drawing 6 , and drawing 9 .

[0085] The liquid crystal layer of an opposite substrate [ a active-matrix substrate and ] is pinched, and opposite arrangement of the liquid crystal display (indicating equipment) in the gestalt of this operation is carried out. Moreover, a pixel is allotted in the shape of a matrix, and the liquid crystal display constitutes the pixel array section.

[0086] The active-matrix substrate has a glass substrate (insulating substrate) 90, a thin film transistor

(TFT:Thin Film Transistor is called hereafter) 99, the pixel electrode 92, a gate line, the data line, an interlayer insulation film 94, and the auxiliary capacity wiring (CS wiring is called hereafter) 93, as shown in drawing 9.

[0087] In addition, TFT99 is constituted by the gate electrode 91 of a gate line, the data electrode of the data line, a channel layer, gate dielectric film 95, the CG-Si film 98, the metal wiring 100, etc.

[0088] Furthermore, on the glass substrate 90, as shown in drawing 1, the gate driver (driver) 1 which has the gate scanning circuit (scanning circuit) connected to the gate line, and the source driver (driver) 2 which has the source scanning circuit (scanning circuit) connected to the data line are formed at the monolithic. A gate scanning circuit and a source scanning circuit consist of a shift register, respectively.

[0089] Moreover, the counterelectrode is arranged on the opposite substrate and liquid crystal is driven with the pixel electrode 92.

[0090] Here, the actuation principle of liquid crystal is explained.

[0091] A liquid crystal display scans an indicative data sequentially along with a gate line, in order to display a screen.

[0092] For example, when carrying out the horizontal scanning of a certain gate line, the gate voltage which changes TFT99 into ON condition is impressed to the gate line. At this time, the gate voltage to which other gate lines change TFT99 into an OFF condition is impressed. In this way, at the time of the horizontal scanning of a gate-line, TFT99 of only the gate-line will be in-ON condition, and the signal-level currently impressed to the data line will join the pixel electrode 92 of a gate line through a drain electrode from a source electrode.

[0093] At this time, the charge given to the pixel electrode 92 is accumulated in charge storage capacitance. In this way, the liquid crystal on each pixel electrode 92 is driven according to the potential difference of the pixel electrical potential difference impressed to the pixel electrode 92, and the opposite electrical potential difference impressed to the counterelectrode.

[0094] The pixel electrical potential difference at that time is held with charge storage capacitance, and liquid crystal is driven until the following gate voltage is impressed during the one-frame period which scans the whole display screen once. In addition, an one-frame period means turning the vertical scanning of the 1 display screen once down from a top in a liquid crystal panel.

[0095] Thus, it scans sequentially from a gate line, and if the signal level doubled with the actuation condition of each pixel is impressed to all the data lines at this time, all required pixels can be displayed.

[0096] Inspection of whether the gate scanning circuit and source scanning circuit which constitute the configurations of a gate driver 1 and the source driver 2 and those drivers 1-2 are operating normally hereafter is explained using drawing 1. Here, a bidirectional scan is possible for a gate driver 1 and the source driver 2 respectively.

[0097] a gate driver 1 -- the input pad (driving signal input terminal) 5 -- minding -- the source driver 2 -- the input pad (driving signal input terminal) 4 -- minding -- each -- a signal is inputted from the exterior.

[0098] Clock G-CK (CK) and start pulse G-SP are inputted into a gate driver 1. In the shift register (scanning circuit) in a gate driver 1, start pulse G-SP (SP) is first shifted from the 1st step to the m-th (last stage) step as shift data synchronizing with clock G-CK. Here, from the m-th step, it was set up beforehand, time delay is carried out, and the (last) output is made in the shift direction last stage of shift data, i.e., here, as shown in drawing 4.

[0099] And the output from the m-th step is inputted into the 1st logical circuit (the 1st logical circuit) which consists of NAND gate 13 and an inverter 14.

[0100] Furthermore, the shift direction is changed by the scanning direction change signal (from the 1st direction to the 2nd direction), and start pulse G-SP is shifted from the m-th step to the 1st (last stage) step as shift data in the shift register in a gate driver 1 synchronizing with clock G-CK. Here, the output from the 1st step was set up beforehand, carries out time delay, and is made in the shift direction last stage of shift data, i.e., here.

[0101] And the output from the 1st step is inputted into the 1st logical circuit which consists of NAND gate 11 and an inverter 12.

[0102] Moreover, the output (the 1st output) from an inverter 12 and the output (the 1st output, the 1st output) from an inverter 14 are inputted into the 2nd logical circuit (the 2nd logical circuit) which consists of the NOR gate 15.

[0103] On the other hand, clock S-CK (CK) and start pulse S-SP (start pulse) are inputted into the source driver 2. In the shift register in the source driver 2, start pulse S-SP (SP) is first shifted from the 1st step to the n-th (last stage) step as shift data synchronizing with clock S-CK. Here, it was set up beforehand, time delay is carried out, and the output from the n-th step is made in the shift direction last stage of shift data, i.e., here, as shown in drawing 4 .

[0104] And the output from the n-th step is inputted into the 3rd logical circuit (the 1st logical circuit) which consists of NAND gate 23 and an inverter 24.

[0105] Furthermore, the shift direction is changed with a shift register and start pulse S-SP is shifted from the n-th step to the 1st (last stage) step as shift data in the shift register in the source driver 2 synchronizing with clock S-CK. Here, the output from the 1st step was set up beforehand, carries out time delay, and is made in the shift direction last stage of shift data, i.e., here.

[0106] And the output from the 1st step is inputted into the 3rd logical circuit which consists of NAND gate 21 and an inverter 22.

[0107] Moreover, the output (the 3rd output) from an inverter 22 and the output (the 3rd output, the 1st output) from an inverter 24 are inputted into the 4th logical circuit (the 2nd logical circuit) which consists of the NOR gate 25.

[0108] Then, the output (the 2nd output) from the NOR gate 15 and the output (the 4th output) from the NOR gate 25 are inputted into the 5th logical circuit which consists of EX-OR (Exclusive OR: exclusive OR)30. The output (the 5th output, inspection output signal) of EX-OR30 is inputted into the checking pad (checking terminal) 3, and is taken out outside.

[0109] That is, when both the gate driver 1 and the source driver 2 support the bidirectional scan, the NOR-gate output from a gate driver 1 and the NOR-gate output from the source driver 2 are inputted into EX-OR30, and the output of this EX-OR30 is connected to the usual input pad 4-5 and the installed checking pad 3.

[0110] And the judgment of the quality whether the scanning circuit is operating normally By this \*\* of the output (the last output) from the checking pad 3 in the timing which applied and observed the probe needle to this checking pad 3, and was beforehand set as it, and the output in the time amount before and behind that for example, it confirms that 1 is outputted to the timing set up beforehand and 0 is outputted to the other timing -- things .

[0111] In addition, the judgment of the quality of a scanning circuit is not limited to this, may apply a direct probe needle, for example, may observe the output of the NOR gate 15-25, and may perform it.

[0112] Moreover, the quality of a scanning circuit may be judged by observing the output of direct NAND gate 11 or NAND gate 13, NAND gate 21, NAND gate 23, an inverter 12 or an inverter 14, an inverter 22, or an inverter 24. In this case, it is applicable also to the driver which does not support a bidirectional scan.

[0113] The combination in the above-mentioned logical circuit is not limited to what was mentioned above when same logic could be realized eventually. Moreover, the same function can also be given also not to the thing limited to positive logic but to the signal of negative logic.

[0114] Here, the shift register of a configuration of being shown in drawing 2 performs the bidirectional scan in a driver 1-2. Here, R shows that the shift direction is [ the shift direction of facing the left and phi ] a control signal from drawing Nakamigi for the right sense from \*\*\*\*\*, and L.

[0115] Shifting the inputted start pulse SP with one half of the periods of Clock CK, the pulse width of the shift data to output becomes one period of a clock. Usually, with means, such as letting a NAND gate pass or letting a frequency divider pass between contiguity outputs, the pulse width of the shift

data to output is set up so that it may become 1/2 period of Clock CK, so that the adjoining pulse may not lap.

[0116] What is necessary is for the delay circuit for [ which was set up beforehand ] carrying out time delay to be able to form the output of the shift direction last stage of shift data with the shift register shown in drawing 2 , and the same shift register, and just to form the number of stages corresponding to a required time delay.

[0117] In addition, the means for realizing a bidirectional scan is not limited to the above-mentioned shift register, and may obtain the input and output in a bond with an analog switch using the flip-flop shown in drawing 3 R> 3 (a) and (b).

[0118] Moreover, a driver 1-2 is not limited to especially the thing that can carry out a bidirectional scan, and may scan only an one direction.

[0119] Below, an example of the production process of a active-matrix substrate is explained.

[0120] First, after depositing an a-Si layer the whole surface on insulation 90, for example, a glass substrate, in order to make Si front face into a hydrophilic property, a thin oxide film is formed and the spin coat of the acetic-acid nickel water solution is carried out on it.

[0121] Next, solid phase growth is performed at 600 degrees C for about 12 hours, SiO<sub>2</sub> film is deposited on it, and oxide films other than the part which forms the active region of a device are removed.

[0122] Then, high-concentration P<sup>+</sup> ion is poured into some fields of the above-mentioned a-Si layer for an oxide film at a mask (15keV, 5x10<sup>15</sup>cm<sup>-2</sup>), and heat treatment is performed at 600 degrees C for 12 hours. Then, SiO<sub>2</sub> film is removed, SiO<sub>2</sub> film is again deposited all over Si top, and oxidation treatment is performed for about 30 minutes by the oxidizing atmosphere which contains a hydrochloric acid at 950 degrees C for about 2 hours. And it leaves the part used as the active region of a device, and unnecessary Si film is removed.

[0123] By this, the scanning circuit of TFT and a driver 1-2 will contain the continuous grain boundary crystal silicon which is the polycrystalline silicon which promoted crystal growth according to the metal catalyst.

[0124] It consists of the flattening film 97 which consists of gate dielectric film 95, a gate electrode, N<sup>+</sup> (P<sup>+</sup> ion) and P<sup>+</sup> (B<sup>+</sup> ion) impregnation, SiO<sub>2</sub>, and BPSG, contact hole 97a, the metal (AlSi) wiring 100, the SiN<sub>x</sub> film 96 and the interlayer insulation film 94 that consists of SiO<sub>2</sub>, a light-shielding film, beer hall 94a, ITO, or IZO one by one henceforth according to the usual poly-Si TFT formation process known well and the same process, and sequential formation of the pixel electrode 92 which is a transparent electrode is carried out. This forms TFT99 of a scanning circuit and a display.

[0125] In addition, BPSG(s) in the flattening film 97 may be resin, such as acrylic resin and polyimide.

[0126] Thus, TFT99 which consists of continuous grain boundary crystal silicon (CG-Si:Continuous Grain Silicon) which promoted crystallization according to the metal catalyst and was obtained has one about 2 to 2.5 times the mobility of this to the mobility of the conventional elevated-temperature poly-Si TFT having been about 100cm<sup>2</sup>/V-sec.

[0127] In addition, even if the scanning circuit of TFT and a driver 1-2 is not limited to CG-Si and consists of p-Si (polish recon), the same effectiveness as the above is acquired about the quality judging of a scanning circuit.

[0128] Moreover, the scanning direction (shift direction) change of the bidirectional scan in a driver 1-2 may change the signal to L-R of a clocked inverter, or setting out of an analog switch, as shown in drawing 2 or drawing 3 R> 3. The change to an input and the last stage output may be performed using an analog switch 51-52, as shown in drawing 5 .

[0129] An analog switch 51-52 is based on a scanning direction change signal from the electronic-circuitry section, and is analog switch 51 -- or an analog switch 52. -- Either is chosen and it is turned on.

[0130] When analog switch 51 -- is ON, in a gate driver 1, start pulse G-SP is shifted from the 1st step

to the m-th (last stage) step as shift data. Moreover, in the source driver 2, start pulse S-SP is shifted from the 1st step to the n-th (last stage) step as shift data.

[0131] And the logistic of the output from the m-th step in a gate driver 1 and the output from the n-th step in the source driver 2 is inputted and carried out to EX-OR (logical circuit)50.

[0132] And after start pulse S-SP or start pulse G-SP is inputted, when the output (output) from EX-OR50 after the time amount set up beforehand is 1 and the output in the time amount before and behind that is 0, it is judged with the gate scanning circuit and the source scanning circuit operating normally.

[0133] On the other hand, also when analog switch 52 -- is ON, a logistic is carried out like the time of analog switch 51 -- being ON (however, the time of analog switch 51 -- of a scanning direction being ON and an opposite direction), and the quality of a scanning circuit is judged.

[0134] As shown in drawing 6 , to NAND gate 21 and inverter 22 which are shown in drawing 1 , and juxtaposition moreover, EX-OR61 EX-OR62 is connected to NAND gate 23 and an inverter 24, and juxtaposition. The output from an inverter 22, and the output from EX-OR61 furthermore, to the NOR gate 63 The quality judging of a scanning circuit may be performed by inputting the output from an inverter 24, and the output from EX-OR62 into the NOR gate 64, and inputting the output from the NOR gate 63, and the output from the NOR gate 64 into EX-OR65.

[0135] Thereby, either a gate scanning circuit or the source scanning circuits cannot operate normally, -- but it can detect that this predetermined value ("1") is outputted except the timing to which a predetermined value (for example, "1") should be outputted. [ in this case ]

[0136] In addition, although the gestalt of this operation was explained using a liquid crystal display as a display, it is not limited especially and effectiveness with the same said of the display using light emitting diodes, such as other electrophoresis or organic electroluminescence (electroluminescence), is acquired.

[0137] Moreover, the output of the above-mentioned scanning circuit may be divided by the multiplexer. Thereby, cutback of a tooth space and reduction of the number of stages of a shift register can be aimed at. Moreover, a scanning circuit can be inspected in the larger range.

[0138] Furthermore, in the scanning circuit, you may have a phase contrast detection means to detect phase contrast with the output of the shift direction last stage of the shift data corresponding to the start pulse and it which were inputted.

[0139] Thereby, it is the output of a start pulse and the shift direction last stage of shift data, and a scanning circuit can be inspected with a sufficient precision using the output which was set up beforehand and which was made by carrying out time delay.

[0140] [Gestalt 2 of operation] It will be as follows if the gestalt of other operations of this invention is explained based on drawing 7 . In addition, in the gestalt of this operation, about the component which has a function equivalent to the component in the gestalt 1 of operation, the same sign is written in addition and the explanation is omitted.

[0141] The liquid crystal display concerning the gestalt of this operation is equipped with gate driver 1 and the source driver 2 with the bidirectionally switchable shift direction, and the input pad 4-5 like the configuration shown in drawing 1 in the gestalt 1 of operation, as shown in drawing 7 .

[0142] Although outputted from the last stage corresponding to the shift direction, according to the scanning direction change signal inputted, the output corresponding to one of the shift directions is chosen from gate driver 1 and the source driver 2 by the analog switch among both directions.

[0143] the selected output -- as it is -- or it is delayed and is inputted into EX-OR76.

[0144] Moreover, in the gestalt of this operation, three kinds of image display formats (display mode) are changed and used based on three kinds of display-mode change signals (MODE1 signal, MODE2 signal, MODE3 signal (inside MODE1, MODE2, and MODE3 of drawing 7 )). Here, when all of three kinds of display-mode change signals are inputted into input pad 75 -- in the combination of 0, it branches from the middle of wiring of a display-mode electronic switch, is inputted into the NOR gate (the 2nd NOR gate) 72 of 3 inputs, and changes to a static test mode. An example of the combination of three kinds of



display-mode change signals is shown in the following table 1.

[0145]

[A table 1]

	MODE 1 信号	MODE 2 信号	MODE 3 信号
MODE 1	1	1	1
MODE 2	0	1	1
MODE 3	1	0	x
TEST	0	0	0

[0146] Here, MODE1 signal, MODE2 signal, and MODE3 signal are DC level for a display change.

Moreover, only this part of being in a table 1 with "x" puts that a pulse signal comes out for example, at the time of a blanking. All scan outputs at this time (non-display field), for example, the vertical field of a screen, will be in the condition of ON (H), and, thereby, a black indicative data will be written in a pixel.

[0147] That is, in the case of a static test mode, three kinds of display-mode change signals are inputted into the NOR gate 72 through the analog switch driven with the output of the NOR gate 71 (the 1st NOR gate).

[0148] And PCG (precharge control signal) is separated from the precharge control line by the output of the NOR gate 72, instead the output of EX-OR76 is connected to the input terminal 74 of the precharge control line through an analog switch with it the specific signal line which does not influence actuation of a scanning circuit, and here.

[0149] Here, the small capacitor 73 for memory (non-assisting capacity) is connected to each input of the NOR gate 72. For this reason, after a static test mode is set up, even if 1 is inputted into one of the input pads 75 and the NOR gate 72 is separated from three kinds of display-mode change signals with an analog switch, the condition of having been set as the static test mode is maintained with the capacity of a capacitor 73. Then, after sufficient time amount passes, a static test mode returns to the usual mode of operation (MODE 1-3) automatically.

[0150] The output of above-mentioned EX-OR76 is automatically outputted to an input terminal 74, only when set as a static test mode. By applying a probe needle to an input terminal 74, and observing a signal, the quality judging of a scanning circuit can be performed by detecting whether the output of EX-OR76 is the timing 1 set up beforehand, and, other than this, is 0 then. That is, it can check that the scanning circuit is not operating normally by detecting 0 to the timing whose output must be 1, or detecting 1 to the timing whose output must be 0.

[0151] There is no need of newly preparing a checking terminal, by this, and actuation of a scanning circuit can be inspected.

[0152] Therefore, also when the tooth space in which new terminals, such as small high definition liquid crystal displays a small highly minute panel, mobile computing devices, for projections, etc., are prepared especially is small, the judgment of the quality of a scanning circuit can be ensured [ at high speed and ].

[0153] In addition, the combination of the display-mode change signal mentioned above is a mere example, and is not limited to the gestalt of this operation by the combination of a publication.

[0154] [Gestalt 3 of operation] It will be as follows if the gestalt of the operation of further others of this invention is explained based on drawing 8 . In addition, in the gestalt of this operation, about the component which has a function equivalent to the component in the gestalt 1 of operation, the same sign is written in addition and the explanation is omitted.

[0155] The liquid crystal display concerning the gestalt of this operation is equipped with gate driver 1 and the source driver 2 with the bidirectionally switchable shift direction, the checking pad 3, and the input pad 4-5 like the configuration shown in drawing 1 in the gestalt 1 of operation, as shown in drawing 8 .

[0156] If clock G-CK and start pulse G-SP are inputted into a gate driver 1 and the shift direction is set

in the 1st direction, with the shift register in a gate driver 1, start pulse G-SP will be first shifted to it from the 1st step to the m-th (last stage in 1st direction) step as shift data synchronizing with clock G-CK. In addition, at this time, a switch 84 serves as ON and the switch 85 serves as OFF. Moreover, for example, a switch 84 is set as OFF at the time of the hard flow scan by setting out which does not inspect, and it sets a switch 85 as ON.

[0157] The output from the m-th step is latched by being held at a latch circuit temporarily. And with the 1st direction, the shift direction considers as an input the output changed namely, latched in the 2nd direction of an opposite direction, and is shifted from the m-th step to the 1st (last stage, last stage in 2nd direction) step as shift data one by one synchronizing with clock G-CK.

[0158] And the last stage, i.e., the shift data transmitted to the 1st step, is latched by the latch circuit temporarily, and a logistic is inputted and carried out to NAND gate 81 with following start pulse G-SP.

[0159] On the other hand, after the shift data transmitted to the n-th step are latched like a gate driver 1 also in the source driver 2 temporarily, it is inputted again and transmitted to the 1st step. And the shift data transmitted to the 1st step are latched temporarily, and a logistic is inputted and carried out to NAND gate 82 with following start pulse S-SP.

[0160] And the logistic of the output from NAND gate 81 and the output from NAND gate 82 is inputted and carried out to EX-OR80.

[0161] The output of EX-OR80 is 1 to the timing set up beforehand, and the quality judging of a scanning circuit can be performed by detecting whether it is 0 except [ its ]. That is, it can check that the scanning circuit is not operating normally by detecting 0 to the timing whose output must be 1, or detecting 1 to the timing whose output must be 0.

[0162] In addition, when it is made to correspond to a horizontal and vertical blanking, timing is adjusted and there is no blanking time amount, the m-th step and the momentary latch of the shift data in the n-th step do not matter, even if they do not carry out as a line.

[0163] Moreover, the quality judging of a scanning circuit may be performed by performing the comparison with shift data and a start pulse, without using NAND gate 81-82.

[0164]

[Effect of the Invention] In the scanning circuit of the driver formed in the monolithic among the gate driver and the source driver, the indicating equipment of this invention as mentioned above Have fixed width of face and it synchronizes with a clock signal as shift data at a clock signal. The start pulse shifted in the scanning circuit of the driver formed in the monolithic is inputted a fixed period. A start pulse, It is the output of the shift direction last stage of the shift data corresponding to this start pulse, and the output which was set up beforehand and which was made by carrying out time delay is the configuration of it being inputted into the 1st logical circuit and inspecting a scanning circuit with the 1st output from this 1st logical circuit.

[0165] In order to make the pulse which has a certain fixed width of face into the inspection signal used for inspection and to carry out a logistic by this, even if there are other pulses etc. by the middle, it is not accidentally recognized as an inspection signal.

[0166] Therefore, it can judge whether the quality judging of a scanning circuit, i.e., a scanning circuit, is operating normally certainly.

[0167] Moreover, the scanning circuit of a driver (actuation circuit) can be formed in the same process as a switching element from the driver being formed on a substrate at the monolithic. The effectiveness that it becomes unnecessary to form for example, the actuation circuit LSI separately later, and cutback of a manufacturing cost and simplification of a mounting process can be attained by this is done so.

[0168] A clock signal and a start pulse are inputted into the scanning circuit of a driver by equipping the driver by which the indicating equipment of this invention was formed in the monolithic with the change means which changes the shift direction bidirectionally, and each 1st output in each shift direction is the configuration of it being inputted into the 2nd logical circuit and inspecting a scanning circuit with the 2nd output from this 2nd logical circuit.

[0169] Thereby, according to the above-mentioned configuration, the effectiveness that the quality judging of the scanning circuit in both directions can be ensured is done so.

[0170] In each scanning circuit of a gate driver equipped with the change means which changes the shift direction bidirectionally, and a source driver, the indicating equipment of this invention A clock signal and the start pulse which has fixed width of face and is shifted as shift data in a scanning circuit synchronizing with a clock signal are inputted a fixed period. The start pulse to the scanning circuit of a gate driver, It is the output of the shift direction last stage of the shift data corresponding to the start pulse to the scanning circuit of this gate driver. The output which was set up beforehand and which was made by carrying out time delay is inputted into the 1st logical circuit for every shift direction, respectively. While each 1st output from each 1st logical circuit in each shift direction is inputted [ both ] into the 2nd logical circuit, the start pulse to the scanning circuit of a source driver, It is the output of the shift direction last stage of the shift data corresponding to the start pulse to the scanning circuit of this source driver. The output which was set up beforehand and which was made by carrying out time delay is inputted into the 3rd logical circuit for every above-mentioned shift direction, respectively. Each 3rd output from each 3rd logical circuit in each shift direction is inputted [ both ] into the 4th logical circuit, and the 2nd output and the 4th output are the configurations of it being inputted into the 5th logical circuit and inspecting both scanning circuits with the 5th output of this 5th logical circuit.

[0171] In order to make the pulse which has a certain fixed width of face into the inspection signal used for inspection and to carry out a logistic by this, even if there are other pulses etc. by the middle, it is not accidentally recognized as an inspection signal.

[0172] Therefore, it can judge whether the quality judging of a scanning circuit, i.e., a scanning circuit, is operating normally certainly.

[0173] consequently -- for example, also in the small high definition displays a small highly minute panel, mobile computing devices, for projections, etc., the effectiveness that the quality judging of a scanning circuit can be ensured is done so, without being accompanied by the increment in area, or complication of a circuit.

[0174] The display of this invention is a configuration equipped with the checking terminal to which the 5th output was connected.

[0175] thereby, it is in part -- it is -- the logical circuit of an easy configuration can be outputted to one checking terminal (for example, pad) as one signal through the output of the last stage of all scanning circuits. The effectiveness that the quality judging of a scanning circuit can be performed is easily done so by following, for example, applying a probe needle to a checking terminal.

[0176] The indicating equipment of this invention among a gate driver and a source driver at least one side It has the analog switch which chooses the output and start pulse of the change means which changes the shift direction bidirectionally, and the last stage of one of the shift directions. In each scanning circuit of both drivers A clock signal and the start pulse which has fixed width of face and is shifted as shift data in a scanning circuit synchronizing with a clock signal are inputted a fixed period for every shift direction. Both the outputs from the last stage of both scanning circuits are the configurations of it being inputted into a logical circuit and inspecting both scanning circuits with the output of this logical circuit.

[0177] In order to make the pulse which has a certain fixed width of face into the inspection signal used for inspection and to carry out a logistic by this, even if there are other pulses etc. by the middle, it is not accidentally recognized as an inspection signal.

[0178] Therefore, the quality judging of the scanning circuit in both directions, i.e., a scanning circuit, does so certainly the effectiveness that it can judge whether it is operating normally, with an easy configuration.

[0179] The display of this invention is the configuration of judging whether the scanning circuit operating normally, in inspection of a scanning circuit by detecting the last output among the outputs from the

scanning circuit and logical circuit for using for the inspection after the time amount beforehand set up after the start pulse was inputted.

[0180] That is, after a start pulse is inputted, this last output [ in / in the last output after the time amount set up beforehand / the time amount before and behind that ] is a configuration judged as the scanning circuit operating normally, when becoming a different predetermined value.

[0181] When a NAND gate and an inverter to the 2nd logical circuit consists of the NOR gate in the 1st logical circuit and the output of the shift direction last stage of a start pulse is specifically 0 or 1, After a start pulse is inputted, when the 2nd output after the time amount set up beforehand is 1 or 0 and the 2nd output in the time amount before and behind that is 0 or 1, a scanning circuit is a configuration judge that is operating normally.

[0182] Or the 1st logical circuit and the 3rd logical circuit From a NAND gate and an inverter, the 2nd logical circuit and the 4th logical circuit from the NOR gate When the 1st output and the 3rd output corresponding to each start pulse after the time amount beforehand set up after the 5th logical circuit consisted of Exclusive OR and each start pulse was inputted are 1 and the 2nd output and the 4th output are 0, When the 1st output and the 3rd output in time amount before and behind that are 0 and the 2nd output and the 4th output are 1, both scanning circuits are configurations judge that are operating normally.

[0183] The easy judgment function for a logical circuit can be given by this, and it can judge whether the scanning circuit is operating normally by whether the output which is the timing set up beforehand comes out.

[0184] Therefore, the effectiveness that the quality of a scanning circuit can be judged with a high speed and a sufficient precision is done so.

[0185] The display of this invention is a configuration equipped with the delay means which was set up beforehand and which carries out time delay, when only a predetermined number of stages shifts the output of the shift direction last stage further.

[0186] Thereby, with an easy configuration, it is the output of a start pulse and the shift direction last stage of shift data, and the effectiveness that a scanning circuit can be inspected is done so using the output which was set up beforehand and which was made by carrying out time delay.

[0187] The indicating equipment of this invention is the configuration that a delay means is a shift register.

[0188] This does so the effectiveness that a scanning circuit can enable a shift in both directions, with an easy configuration.

[0189] When the output after the time amount to which the display of this invention was beforehand set after the logical circuit consisted of Exclusive OR and the start pulse was inputted is 1 and the output in the time amount before and behind that is 0, both scanning circuits are configurations judge that are operating normally.

[0190] It can judge whether the scanning circuit is operating normally by whether the output which is the timing set up beforehand comes out by this.

[0191] Therefore, the effectiveness that the quality of a scanning circuit can be judged with a high speed and a sufficient precision is done so.

[0192] When inputted in a specific combination which has two or more display modes which can be changed with the display-mode change signal inputted, and has a display-mode change signal, the display of this invention By separating the original signal which outputs the output of a logical circuit to the signal terminal in the signal wiring which does not influence actuation of both scanning circuits, and is inputted into signal wiring from this signal wiring It is the configuration of judging whether both scanning circuits operating normally using the output in the timing set up beforehand.

[0193] Thereby, it can consider as the mode in which the quality judging of a scanning circuit is performed, with the combination of a display-mode change signal. Moreover, the quality judging of a scanning circuit can be performed according to the output in a certain timing.

[0194] Therefore, the quality judging of a scanning circuit, i.e., a scanning circuit, does so the effectiveness that it can judge whether it is operating normally, with an easy configuration.

[0195] The 1st NOR gate where, as for the display of this invention, a display-mode change signal is inputted, Only when all display-mode change signals are 0, with the analog switch which is equipped with the 2nd NOR gate where the output from the 1st NOR gate is inputted, and is driven with the output and its reversal output from the 1st NOR gate When the output from the 1st NOR gate is 0, pull-up of all the inputs to the 2nd NOR gate is carried out. And after a display-mode change signal is inputted into the 2nd NOR gate from the 1st NOR gate Even if it changes to the combination from which a display-mode change signal differs after that, it is the configuration that fixed period maintenance of the input state of the 2nd NOR gate is carried out at capacity, by separating the 2nd NOR gate by the analog switch.

[0196] There is no need of newly preparing a checking terminal, by this, and actuation of a scanning circuit can be inspected.

[0197] Therefore, also when the tooth space in which new terminals, such as small high definition liquid crystal displays a small highly minute panel, mobile computing devices, for projections, etc., are prepared especially is small, a high speed and the effectiveness that it can carry out certainly are done so for the judgment of the quality of a scanning circuit.

[0198] ~~The driver by which the indicating equipment of this invention was formed in the monolithic is~~ equipped with the change means which changes the shift direction bidirectionally. In the scanning circuit of the driver formed in the monolithic among the gate driver and the source driver Corresponding to each both directions, have fixed width of face and it synchronizes with a clock signal as shift data at a clock signal. The start pulse shifted in the scanning circuit of the driver formed in the monolithic is inputted a fixed period. After a start pulse is shifted in the 1st direction and transmitted to the 1st direction last stage, a change means Change the shift direction in the 2nd direction from the 1st direction, and the shift data transmitted to the 1st direction last stage are held further temporarily at a latch circuit. Or it is the configuration of inspecting a scanning circuit using the shift data which the direct input was carried out to the scanning circuit as data shifted in the 2nd direction, were shifted in the 2nd direction synchronizing with the clock signal, and were transmitted to the 2nd direction last stage (namely, input side of the 1st direction).

[0199] The signal which serves as a basis of a judgment spatially by this at a shift entry-of-data side returns. For this reason, the effectiveness that complication of wiring is avoidable is done so by being able to judge whether in both directions, the quality judging of a scanning circuit, i.e., a scanning circuit, is operating normally, and the excessive terminal for inspection and a long signal taking about, and losing wiring.

[0200] The indicating equipment of this invention is the configuration of judging whether the scanning circuit operating normally, by inputting into a comparison or a judgment logical circuit the start pulse inputted into the degree of the start pulse which became shift data in the scanning circuit of the driver formed in the monolithic as the shift data transmitted to the 2nd direction last stage.

[0201] In order to make the pulse which has a certain fixed width of face into the inspection signal used for inspection and to carry out a logistic by this, even if there are other pulses etc. by the middle, it is not accidentally recognized as an inspection signal.

[0202] Therefore, the effectiveness that the quality judging of a scanning circuit, i.e., the judgment of whether the scanning circuit is operating normally in both directions, can be ensured is done so.

[0203] As for the indicating equipment of this invention, in the shift data transmitted to the 2nd direction last stage, it is desirable to judge whether the scanning circuit is operating normally by whether a predetermined value is outputted after the time amount beforehand set up after the start pulse used as these shift data was inputted.

[0204] It can check that the scanning circuit is not operating normally by detecting 0 by this to the timing whose output must be 1, or detecting 1 to the timing whose output must be 0.

[0205] Moreover, a driver can be made to few fields of the periphery of the pixel array field on a substrate. Therefore, small sum edge-ization of a substrate can be attained as compared with the case where the actuation circuit LSI is connected with a TAB mounting method and a COG mounting method, and this does so the effectiveness that the miniaturization of a display can be attained.

[0206] The display of this invention is the configuration that a scanning circuit consists of the polycrystalline silicon or polish recon which promoted crystal growth according to the metal catalyst.

[0207] This does so the effectiveness that a scanning circuit can be formed on a substrate, at the low process temperature of 600 degrees C or less.

[0208] The display of this invention is liquid crystal, electrophoresis, or a configuration that displays a pixel using organic electroluminescence.

[0209] This does so the effectiveness that it can consider as a liquid crystal display, a electroluminescence display, etc.

[0210] As for the indicating equipment of this invention, it is desirable to have a phase contrast detection means to detect the phase contrast of a start pulse and the output of the shift direction last stage of shift data.

[0211] According to the above-mentioned configuration, the effectiveness that the quality judging of a scanning circuit can be performed is done so with a phase contrast detection means to output phase contrast, using the output which is an output of a start pulse and the shift direction last stage of shift data, and was set up beforehand and which was made by carrying out time delay.

[0212] A change means is a clocked inverter and the indicating equipment of this invention is the configuration that the shift direction is changed based on the input value to a clocked inverter.

[0213] Thereby, the shift direction is changed by setting some clocked inverters to OFF, and the effectiveness that the quality of the scanning circuit in both directions can be judged is done so.

[0214] The indicating equipment of this invention is the configuration that the output of a scanning circuit is divided by the multiplexer.

[0215] Thereby, the number of scan signal outputs to the number of stages of a shift register can be increased, and the cutback of a tooth space can be aimed at. Moreover, the effectiveness that the lap of a pulse output can be set as arbitration is done so.

[0216] The scan circuit conditioning approach of this invention is the configuration of judging whether a clock signal and the start pulse which has fixed width of face and is shifted as shift data synchronizing with the above-mentioned clock signal being inputted into the scanning circuit of a driver a fixed period, and carrying out a logistic using a start pulse and the output of the shift direction last stage of the shift data corresponding to this start pulse, and the above-mentioned scanning circuit operating normally based on the result.

[0217] In order to make the pulse which has a certain fixed width of face into the inspection signal used for inspection and to carry out a logistic by this, even if there are other pulses etc. by the middle, it is not accidentally recognized as an inspection signal.

[0218] Therefore, the quality judging of a scanning circuit, i.e., a scanning circuit, does so certainly the effectiveness that it can judge whether it is operating normally.

[0219] The scan circuit conditioning approach of this invention is the configuration of judging whether the scanning circuit operating normally, by carrying out a logistic in each shift direction, and carrying out a logistic further using the count result corresponding to each shift direction using a start pulse and the output of the shift direction last stage of the shift data corresponding to this start pulse, when the shift direction of shift data can change bidirectionally.

[0220] This does so the effectiveness that the quality judging of the scanning circuit in both directions can be ensured.

[0221] In each of two scanning circuits, the scan circuit conditioning approach of this invention is the configuration of judging whether both scanning circuits operating normally, by carrying out a logistic further using those count results, after carrying out a logistic.

[0222] Thereby, the effectiveness that the quality judging of a scanning circuit can be ensured is done so, without being accompanied by the increment in area, or complication of a circuit also in the small high definition displays for example, a small highly minute panel, mobile computing devices, for projections, etc.

[0223] The scan circuit conditioning approach of this invention a clock signal and the start pulse which has fixed width of face and is shifted as shift data synchronizing with the above-mentioned clock signal Input into the scanning circuit of a driver a fixed period, and shift data are shifted in the 1st direction. After transmitting to the last stage in this 1st direction, it holds to a latch circuit temporarily. The output of the last stage [ in / the shift direction is changed to the 1st direction of the above in the 2nd direction of an opposite direction, and the shift data transmitted to the last stage in the 1st direction of the above are further shifted in the 2nd direction of the above, and / this 2nd direction ], It is the configuration of judging whether the above-mentioned scanning circuit operating normally using the following start pulse.

[0224] This does so the effectiveness that the quality judging of the scanning circuit in both directions can be ensured.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the outline configuration of the liquid crystal display concerning one gestalt of operation of this invention.

[Drawing 2] It is the circuit diagram showing the configuration of a shift register.

[Drawing 3] (a) is the circuit diagram showing the configuration of a flip-flop, and (b) is the circuit diagram showing the configuration of A shown in (a).

[Drawing 4] It is the timing chart which shows the actuation actuation in the shift direction of a start pulse.

[Drawing 5] It is the circuit diagram showing the configuration in the case of using an analog switch for the change of the shift direction.

[Drawing 6] It is a circuit diagram at the time of connecting the NOR gate and EX-OR to the source driver shown in drawing 1 further.

[Drawing 7] It is the circuit diagram showing the outline configuration of the liquid crystal display concerning other one gestalt of operation of this invention.

[Drawing 8] It is the circuit diagram showing the outline configuration of the liquid crystal display concerning one gestalt of further others of operation of this invention.

[Drawing 9] It is the sectional view showing the configuration of the outline of a liquid crystal display.

[Drawing 10] It is the circuit diagram showing the outline configuration of the conventional liquid crystal

display.

[Drawing 11] (a) is the circuit diagram showing the outline configuration of other conventional liquid crystal displays, and (b) is the circuit diagram showing the configuration of the shift register shown in (a). It comes out.

[Drawing 12] It is the circuit diagram showing the outline configuration of the conventional liquid crystal display of further others.

[Description of Notations]

- 1 Gate Driver (Driver)
  - 2 Source Driver (Driver)
  - 3 Checking Pad (Checking Terminal)
  - 11 NAND Gate (1st Logical Circuit)
  - 12 Inverter (1st Logical Circuit)
  - 13 NAND Gate (1st Logical Circuit, 1st Logical Circuit)
  - 14 Inverter (1st Logical Circuit, 1st Logical Circuit)
  - 15 NOR Gate (2nd Logical Circuit, 2nd Logical Circuit)
  - 21 NAND Gate (3rd Logical Circuit)
  - 22 Inverter (3rd Logical Circuit)
  - ~~23 NAND Gate (3rd Logical Circuit, 1st Logical Circuit)~~
  - 24 Inverter (3rd Logical Circuit, 1st Logical Circuit)
  - 25 NOR Gate (4th Logical Circuit, 2nd Logical Circuit)
  - 30 EX-OR (5th Logical Circuit)
  - 50 EX-OR (Logical Circuit)
  - 71 NOR Gate (1st NOR Gate)
  - 72 NOR Gate (2nd NOR Gate)
  - 76 EX-OR
  - 81 NAND Gate
  - 82 NAND Gate
- 

[Translation done.]



(11)特許出願公開番号

特開2003-271109

(P2003-271109A)

(43)公開日 平成15年9月25日(2003.9.25)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	メモ(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 8 8
G 0 2 F 1/13	1 0 1	G 0 2 F 1/13	1 0 1 2 H 0 9 2
1/133	5 5 0	1/133	5 5 0 2 H 0 9 3
1/1345		1/1345	5 C 0 0 6
1/167		1/167	5 C 0 8 0
審査請求 未請求 請求項の数26 O L (全 21 頁) 最終頁に続く			

審査請求 未請求 請求項の数26 OL (全 21 頁) 最終頁に続く

(21)出願番号 特願2002-75055(P2002-75055)

(22)出願日 平成14年3月18日(2002.3.18)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 ▲高▼藤 裕

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(72)発明者 白井 克典

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

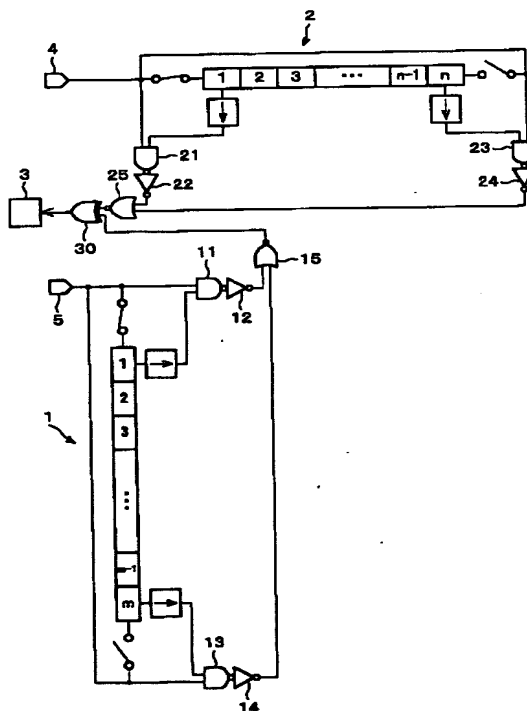
**最終頁に続く**

(54) 【発明の名称】 表示装置およびその走査回路検査方法

(57) 【要約】

【課題】 面積の増加や回路の複雑化を伴うことなく、  
 確実かつ高速に走査回路の良否判定を行うことができる  
 表示装置およびその走査回路検査方法を提供する。

【解決手段】 ゲートドライバ1 およびソースドライバ2 には、クロック信号と、一定の幅を有し、シフトデータとしてクロック信号に同期してゲートドライバ1 あるいはソースドライバ2 でシフトされるスタートパルスとが、一定の周期で入力される。スタートパルスと、シフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とが、NANDゲート1 3 およびインバータ1 4、NANDゲート2 3 およびインバータ2 4 に入力される。インバータ1 4・2 4 の出力により走査回路の検査を行う。



(2)

## 【特許請求の範囲】

【請求項1】マトリクス状に配置される画素を線順次に選択して走査するためのゲートドライバと、上記選択されたラインの画素にデータ信号を供給するためのソースドライバとを備え、上記ゲートドライバおよび上記ソースドライバのうちの少なくとも一方のドライバが基板上にモノリシックに形成された表示装置において、  
上記両ドライバのうち、モノリシックに形成された上記ドライバの走査回路には、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期して、モノリシックに形成された上記ドライバの走査回路でシフトされるスタートパルスとが一定の周期で入力され、

上記スタートパルスと、該スタートパルスに対応するシフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とが、第1の論理回路に入力され、該第1の論理回路からの第1の出力により走査回路の検査を行うことを特徴とする表示装置。

【請求項2】モノリシックに形成された上記ドライバは上記シフト方向を双方向に切り替える切替手段を備え、上記ドライバの走査回路には、上記クロック信号と上記スタートパルスとが入力され、

上記各々のシフト方向における各第1の出力は第2の論理回路に入力され、該第2の論理回路からの第2の出力により走査回路の検査を行うことを特徴とする請求項1に記載の表示装置。

【請求項3】マトリクス状に配置される画素を線順次に選択して走査するためのゲートドライバと、上記選択されたラインの画素にデータ信号を供給するためのソースドライバとが基板上にモノリシックに形成された表示装置において、

シフト方向を双方向に切り替える切替手段を備える上記両ドライバの各走査回路には、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期して上記走査回路でシフトされるスタートパルスとが一定の周期で入力され、

上記ゲートドライバの走査回路へのスタートパルスと、該ゲートドライバの走査回路へのスタートパルスに対応するシフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とが、上記シフト方向ごとにそれぞれ第1論理回路に入力され、  
上記各々のシフト方向における各第1論理回路からの各第1出力は共に第2論理回路に入力される一方、  
上記ソースドライバの走査回路へのスタートパルスと、該ソースドライバの走査回路へのスタートパルスに対応するシフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とが、上記シフト方向ごとにそれぞれ第3論理回路に入力され、  
上記各々のシフト方向における各第3論理回路からの各第3出力は共に第4論理回路に入力され、

2

上記第2出力と上記第4出力とは、第5論理回路に入力され、該第5論理回路の第5出力により上記両走査回路の検査を行うことを特徴とする表示装置。

【請求項4】上記第5出力が接続された検査用端子を備えていることを特徴とする請求項3に記載の表示装置。

【請求項5】マトリクス状に配置される画素を線順次に選択して走査するためのゲートドライバと、上記選択されたラインの画素にデータ信号を供給するためのソースドライバとが基板上にモノリシックに形成された表示装置において、

上記両ドライバのうち少なくとも一方は、シフト方向を双方向に切り替える切替手段と、いずれかのシフト方向の最終段の出力とスタートパルスとを選択するアナログスイッチとを備え、

上記両ドライバの各走査回路には、シフト方向ごとに、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期して上記走査回路でシフトされるスタートパルスとが一定の周期で入力され、

上記両走査回路の最終段からの出力は、共に論理回路に入力され、該論理回路の出力により上記両走査回路の検査を行うことを特徴とする表示装置。

【請求項6】上記走査回路の検査は、上記スタートパルスが入力されてから予め設定された時間後の、上記検査に用いるための上記走査回路および上記論理回路からの出力のうち最終の出力を検出することにより、上記走査回路が正常に動作しているか否かを判定することを特徴とする請求項1ないし5のいずれか1項に記載の表示装置。

【請求項7】上記スタートパルスが入力されてから予め設定された時間後の上記最終の出力が、その前後の時間における該最終の出力とは異なる所定の値となる場合に、上記走査回路は正常に動作していると判定することを特徴とする請求項6に記載の表示装置。

【請求項8】上記第1の論理回路は、NANDゲートとインバータとから、上記第2の論理回路はNORゲートからなり、かつ、上記スタートパルスのシフト方向最終段の出力が0または1のとき、

上記スタートパルスが入力されてから予め設定された時間後の上記第2の出力が1または0であり、その前後の時間における上記第2の出力が0または1である場合に、上記走査回路は正常に動作していると判定されることを特徴とする請求項2に記載の表示装置。

【請求項9】上記第1論理回路および上記第3論理回路は、NANDゲートとインバータとから、上記第2論理回路および上記第4論理回路はNORゲートから、上記第5論理回路はExclusive ORからなり、

上記各スタートパルスが入力されてから予め設定された時間後の、上記各スタートパルスに対応する上記第1出力および第3出力が1であり、上記第2出力および第4出力が0であるとき、その前後の時間における上記第1

(3)

3

出力および第3出力が0であり、上記第2出力および第4出力が1である場合に、上記両走査回路は正常に動作していると判定されることを特徴とする請求項3または4に記載の表示装置。

【請求項10】上記シフト方向最終段の出力を、所定の段数だけさらにシフトさせることにより、予め設定された時間遅延させる遅延手段を備えていることを特徴とする請求項1ないし9のいずれか1項に記載の表示装置。

【請求項11】上記遅延手段は、シフトレジスタであることを特徴とする請求項10に記載の表示装置。

【請求項12】上記論理回路はExclusive ORからなり、上記スタートパルスが入力されてから予め設定された時間後の上記出力が1であり、その前後の時間における上記出力が0である場合に、上記両走査回路は正常に動作していると判定されることを特徴とする請求項5に記載の表示装置。

【請求項13】入力される表示モード切替信号によって切替可能な複数の表示モードを有し、上記表示モード切替信号がある特定の組み合わせで入力されたときには、上記論理回路の出力を上記両走査回路の動作に影響しない信号配線における信号端子に出力し、かつ、上記信号配線に入力される本来の信号を該信号配線から切り離すことにより、予め設定されたタイミングにおける上記出力を用いて上記両走査回路が正常に動作しているか否かを判定することを特徴とする請求項5に記載の表示装置。

【請求項14】上記表示モード切替信号が入力される第1NORゲートと、上記表示モード切替信号が全て0であるときにのみ、上記第1NORゲートからの出力が入力される第2NORゲートとを備え、上記第1NORゲートからの出力およびその反転出力により駆動されるアナログスイッチにより、上記第1NORゲートからの出力が0のとき上記第2NORゲートへの入力がすべてプルアップされ、かつ、上記表示モード切替信号が上記第1NORゲートから上記第2NORゲートに入力された後は、その後上記表示モード切替信号が異なる組み合わせに変化しても、上記第2NORゲートがアナログスイッチにより切り離されていることにより、上記第2NORゲートの入力状態が容量に一定期間保持されることを特徴とする請求項13に記載の表示装置。

【請求項15】マトリクス状に配置される画素を線順次を選択して走査するためのゲートドライバと、上記選択されたラインの画素にデータ信号を供給するためのソースドライバとを備え、上記ゲートドライバおよび上記ソースドライバのうちの少なくとも一方のドライバが基板上にモノリシックに形成された表示装置において、モノリシックに形成された上記ドライバは上記シフト方向を双方向に切り替える切替手段を備え、

上記両ドライバのうち、モノリシックに形成された上記

4

ドライバの走査回路には、上記双方向それぞれに対応して、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期して、モノリシックに形成された上記ドライバの走査回路でシフトされるスタートパルスとが一定の周期で入力され、

上記スタートパルスが第1方向にシフトされ、第1方向最終段まで転送された後、上記切替手段は、シフト方向を第1方向から第2方向に切り替え、

さらに、上記第1方向最終段まで転送された上記シフトデータは、一時ラッチ回路に保持され、あるいは、上記第2方向へシフトするデータとして上記走査回路に直接入力されて、上記クロック信号に同期して上記第2方向にシフトされ、

上記第2方向最終段まで転送されたシフトデータを用いて上記走査回路の検査を行うことを特徴とする表示装置。

【請求項16】上記第2方向最終段まで転送されたシフトデータと、モノリシックに形成された上記ドライバの走査回路に、上記シフトデータとなったスタートパルスの次に入力されたスタートパルスとを、比較または判定論理回路へ入力することにより、走査回路が正常に動作しているか否かを判定することを特徴とする請求項15に記載の表示装置。

【請求項17】上記第2方向最終段まで転送されたシフトデータにおいて、該シフトデータとなったスタートパルスが入力されてから予め設定された時間後に、所定の値が出力されるか否かにより、上記走査回路が正常に動作しているか否かを判定することを特徴とする請求項15に記載の表示装置。

【請求項18】上記走査回路は、金属触媒により結晶成長を促進した多結晶シリコンまたはポリシリコンからなることを特徴とする請求項1ないし17のいずれか1項に記載の表示装置。

【請求項19】液晶、電気泳動、または有機エレクトロルミネッセンスを用いて画素の表示を行うことを特徴とする請求項1ないし18のいずれか1項に記載の表示装置。

【請求項20】上記スタートパルスと上記シフトデータのシフト方向最終段の出力との位相差を検出する位相差検出手段を備えていることを特徴とする請求項1ないし19のいずれか1項に記載の表示装置。

【請求項21】上記切替手段は、クロックインバータであり、

該クロックインバータへの入力値に基づいて、上記シフト方向が切り替えられることを特徴とする請求項2、3、5、15のいずれか1項に記載の表示装置。

【請求項22】上記走査回路の出力がマルチプレクサにより分割されることを特徴とする請求項1ないし20のいずれか1項に記載の表示装置。

【請求項23】クロック信号と、一定の幅を有し、シフ

(4)

5

トデータとして上記クロック信号に同期してシフトされるスタートパルスとを、一定の周期でドライバの走査回路に入力し、

上記スタートパルスと、該スタートパルスに対応するシフトデータのシフト方向最終段の出力とを用いて論理計算し、その結果に基づいて上記走査回路が正常に動作しているか否かを判定することを特徴とする走査回路検査方法。

【請求項24】上記シフトデータのシフト方向が双方向に切替可能な場合、上記スタートパルスと、該スタートパルスに対応するシフトデータのシフト方向最終段の出力とを用いて、各シフト方向において論理計算し、各シフト方向に対応した計算結果を用いてさらに論理計算することにより、上記走査回路が正常に動作しているか否かを判定することを特徴とする請求項23に記載の走査回路検査方法。

【請求項25】2つの走査回路の各々において、上記論理計算をした後、それらの計算結果を用いて、さらに論理計算することにより、上記両走査回路が正常に動作しているか否かを判定することを特徴とする請求項23または24に記載の走査回路検査方法。

【請求項26】クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期してシフトされるスタートパルスとを、一定の周期でドライバの走査回路に入力し、

シフトデータを第1方向にシフトし、該第1方向における最終段まで転送した後、一時ラッチ回路に保持し、シフト方向を上記第1方向とは反対方向の第2方向に切り替え、上記第1方向における最終段まで転送されたシフトデータをさらに、上記第2方向にシフトし、該第2方向における最終段の出力と、次のスタートパルスとを用いて上記走査回路が正常に動作しているか否かを判定することを特徴とする走査回路検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、走査回路が正常に動作しているか否かを判定することができる表示装置およびその走査回路検査方法に関するものである。

【0002】

【従来の技術】従来、表示装置としての、ドライバモノシリック型の液晶表示装置は、一般に、ビデオデータをシフトレジスタで制御したアナログスイッチを介してサンプリングする。

【0003】例えば、図11(a)に示すように、液晶表示装置は、画素部の各画素において画素容量 $C_{LC}$ ・補助容量 $C_g$ が接続され、行状に配された複数のゲートラインと列状に配された複数のデータラインとの交差部にTFT(Thin Film Transistor)を備えている。ゲートラインはゲートドライバに、データラインはソースドライバに接続されている。

6

【0004】また、TFTと液晶層を介して対向するように、対向電極が配されている。対向電極には対向電圧 $V_{COM}$ が印加され、液晶を駆動する。

【0005】ゲートドライバは、ゲートパルスを順次出力し、各ゲートラインを順次走査して一水平期間ごとに1行分の画素を選択する。

【0006】また、ソースドライバは、シフトレジスタを用いて一水平期間内で各データラインを順次走査し、ビデオデータをサンプリングして選択された1行分の画素に点順次で書き込む。これにより、画像の表示が可能となる。

【0007】ここで、ソースドライバは、図11(b)に示すように、シフトレジスタとアナログスイッチとを備えている。

【0008】このような通常の表示と同様に、ドライバの不良を検査するときには、ソースドライバに入力されたビデオデータ $V_{video1}$ ・ $V_{video2}$ をシフトレジスタで制御した図示しないアナログスイッチを介してサンプリングする。

【0009】即ち、ドライバの不良の検査は、通常の表示のときと同様に、上記ドライバを動作させ画素にデータを書き込んだ後、再びドライバを動作させ各々の画素に保持した電荷を、アナログスイッチを介して読み出す。これにより、画素欠陥とあわせてドライバの不良を検査・判定している。

【0010】しかしながら、この検査法では、プロジェクション用など小型高精細の表示装置のように、画素容量が小さく、読み出す電荷が微少となるにつれ、S/N比の低下、検査の精度低下を招来する。また、S/N比改善のため測定回数を増加したとしても、検査が長時間化するなどの問題があった。

【0011】また、ドライバの動作不良を、画素欠陥のあらわれ方の特徴から判断するため、データ処理に時間を要し、検査効率低下の原因になっていた。

【0012】そこで、図10・12に示すように、ドライバの走査回路を2個備え、パッドを用いてドライバ回路(走査回路)の検査を行う構成の表示装置が提案されている。

【0013】このように、ドライバ回路を2個備えることにより、冗長性を有し、例えば2つあるうちの一方のドライバ回路に故障があったとしても、他方のライバ回路が正常に動作していれば、表示装置全体としては、何ら問題ない。

【0014】また、図12に示すように、ゲートドライバ101・ソースドライバ102内またはその周辺部にパッド103…を設け、このパッド103…に上記ドライバにおける走査回路の最終段の出力を引き出しておき、ここに検査用のプローブを当てて信号を検出することにより、検査の精度向上、および検査効率向上を図っていた。

50

(5)

7

【0015】あるいは、特願平6-194421号公報に記載されているように、複数の被検査回路部に対し、複数の機能検査に必要な検査回路部を内蔵する。また、その検査回路部は、検査機能に対応する情報を格納しておく手段と、被検査回路の構成情報を検査回路部に伝達する手段とを有する。これにより、検査回路部の構成および検査手段を簡単化することができ、BIST (Built-In Self Test) を効率的に行うことができる。

【0016】

【発明が解決しようとする課題】しかしながら、上記図12に示す構成では、検査専用のパッド103を複数個設ける必要がある。また、図10に示すように、ゲートドライバ回路を2個備えることで、必要な検査専用のパッドの数も多くなる。

【0017】このような場合、特に、小型高精細パネル、モバイル機器、あるいはプロジェクション用などの小型高精細の表示装置などでは、ドライバ部の面積に厳しい制約にもかかわらず、大きな面積のパッドを形成しなければならないこととなる。また、配線の引き回しの制約や、後述するESDに対する保護の観点から、プローブカードの針を、外部からの駆動信号入力端子接続パッドとは配列が大きく異なるパッドに対応させる必要がある。

【0018】さらに、大面積のパッドが直接論理回路に接続されているため、このパッド103…がアンテナとしてはたらき、ESD (Electrostatic Discharge : 静電放電) による損傷が生じやすい。

【0019】また、上記公報の構成では、機能検査のための複雑な検査回路を形成する必要がある。ドライバモノリシック型の液晶表示装置などでは、表示画面部の微細加工レベルと面積とに基づき必要とされる加工精度、およびドライバの回路構成を考えると、このような検査回路用を内蔵することは実用的ではなく、より効果的な検査法が必要である。

【0020】本発明は、上記従来の問題点に鑑みなされたものであり、その目的は、面積の増加や回路の複雑化を伴うことなく、確実かつ高速に走査回路の良否判定を行うことができる表示装置およびその走査回路検査方法を提供することにある。

【0021】

【課題を解決するための手段】本発明の表示装置は、上記の課題を解決するために、マトリクス状に配置される画素を線順次を選択して走査するためのゲートドライバと、上記選択されたラインの画素にデータ信号を供給するためのソースドライバとを備え、上記ゲートドライバおよび上記ソースドライバのうちの少なくとも一方のドライバが基板上にモノリシックに形成された表示装置において、上記両ドライバのうち、モノリシックに形成された上記ドライバの走査回路には、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に

8

同期して、モノリシックに形成された上記ドライバの走査回路でシフトされるスタートパルスとが一定の周期で入力され、上記スタートパルスと、該スタートパルスに対応するシフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とが、第1の論理回路に入力され、該第1の論理回路からの第1の出力により走査回路の検査を行うことを特徴としている。

【0022】上記の構成によれば、スタートパルスと、シフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とを用いて、走査回路の検査を行っている。

【0023】これにより、ある一定の幅を有するパルスを検査に用いる検査信号とし、論理計算するため、途中で他のパルスなどがあっても、それを誤って検査信号として認識することはない。

【0024】従って、確実に走査回路の良否判定、即ち、走査回路が正常に動作しているか否かの判定を行うことができる。

【0025】また、ドライバが基板上にモノリシックに形成されていることより、ドライバ (駆動回路) の走査回路を、スイッチング素子と同一プロセスで形成することができる。これにより、例えば、駆動回路LSIを後から別途設ける必要がなくなり、製造コストの削減および実装工程の簡略化を図ることができる。

【0026】上記の表示装置は、モノリシックに形成されたドライバはシフト方向を双方向に切り替える切替手段を備え、上記ドライバの走査回路には、クロック信号とスタートパルスとが入力され、各々のシフト方向における各第1の出力は第2の論理回路に入力され、該第2の論理回路からの第2の出力により走査回路の検査を行うことが好ましい。

【0027】上記の構成によれば、双方向における走査回路の良否判定を確実に行うことができる。

【0028】本発明の表示装置は、上記の課題を解決するために、マトリクス状に配置される画素を線順次を選択して走査するためのゲートドライバと、上記選択されたラインの画素にデータ信号を供給するためのソースドライバとが基板上にモノリシックに形成された表示装置において、シフト方向を双方向に切り替える切替手段を備える上記両ドライバの各走査回路には、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期して上記走査回路でシフトされるスタートパルスとが一定の周期で入力され、上記ゲートドライバの走査回路へのスタートパルスと、該ゲートドライバの走査回路へのスタートパルスに対応するシフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とが、上記シフト方向ごとにそれぞれ第1論理回路に入力され、上記各々のシフト方向における各第1論理回路からの各第1出力は共に第2論理回

(6)

9

路に入力される一方、上記ソースドライバの走査回路へのスタートパルスと、該ソースドライバの走査回路へのスタートパルスに対応するシフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とが、上記シフト方向ごとにそれぞれ第3論理回路に入力され、上記各々のシフト方向における各第3論理回路からの各第3出力は共に第4論理回路に入力され、上記第2出力と上記第4出力とは、第5論理回路に入力され、該第5論理回路の第5出力により上記両走査回路の検査を行うことを特徴としている。

【0029】上記の構成によれば、ある一定の幅を有するパルスを検査に用いる検査信号とし、論理計算するため、途中で他のパルスなどがあったとしても、それを誤って検査信号として認識することはない。

【0030】従って、確実に走査回路の良否判定、即ち、走査回路が正常に動作しているか否かの判定を行うことができる。

【0031】これにより、例えば小型高精細パネル、モバイル機器、あるいはプロジェクション用などの小型高精細の表示装置などにおいても、面積の増加や回路の複雑化を伴うことなく、確実に走査回路の良否判定を行うことができる。

【0032】上記の表示装置は、第5出力が接続された検査用端子を備えていることが好ましい。

【0033】上記の構成によれば、一部あるいは全ての走査回路の最終段の出力を簡単な構成の論理回路を通して、1本の信号として1個の検査用端子（例えば、パッド）に出力することができる。従って、例えば検査用端子にプローブ針を当てることにより、容易に、走査回路の良否判定を行うことができる。

【0034】本発明の表示装置は、上記の課題を解決するために、マトリクス状に配置される画素を線順次を選択して走査するためのゲートドライバと、上記選択されたラインの画素にデータ信号を供給するためのソースドライバとが基板上にモノリシックに形成された表示装置において、上記両ドライバのうち少なくとも一方は、シフト方向を双方向に切り替える切替手段と、いずれかのシフト方向の最終段の出力とスタートパルスとを選択するアナログスイッチとを備え、上記両ドライバの各走査回路には、シフト方向ごとに、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期して上記走査回路でシフトされるスタートパルスとが一定の周期で入力され、上記両走査回路の最終段からの出力は、共に論理回路に入力され、該論理回路の出力により上記両走査回路の検査を行うことを特徴としている。

【0035】上記の構成によれば、ある一定の幅を有するパルスを検査に用いる検査信号とし、論理計算するため、途中で他のパルスなどがあったとしても、それを誤って検査信号として認識することはない。

【0036】従って、簡単な構成で、確実に双方向にお

10

ける走査回路の良否判定、即ち、走査回路が正常に動作しているか否かの判定を行うことができる。

【0037】上記の表示装置は、走査回路の検査において、上記スタートパルスが入力されてから予め設定された時間後の、上記検査に用いるための上記走査回路および上記論理回路からの出力のうち最終の出力を検出することにより、上記走査回路が正常に動作しているか否かを判定することが好ましい。

【0038】即ち、スタートパルスが入力されてから予め設定された時間後の最終の出力が、その前後の時間における該最終の出力とは異なる所定の値となる場合に、走査回路は正常に動作していると判定することが好ましい。

【0039】具体的には、第1の論理回路は、NANDゲートとインバータとから、第2の論理回路はNORゲートからなり、かつ、スタートパルスのシフト方向最終段の出力が0または1のとき、スタートパルスが入力されてから予め設定された時間後の第2の出力が1または0であり、その前後の時間における第2の出力が0または1である場合に、走査回路は正常に動作していると判定される。

【0040】あるいは、第1論理回路および第3論理回路は、NANDゲートとインバータとから、第2論理回路および第4論理回路はNORゲートから、第5論理回路はExclusive ORからなり、各スタートパルスが入力されてから予め設定された時間後の、各スタートパルスに対応する第1出力および第3出力が1であり、第2出力および第4出力が0であるとき、その前後の時間における第1出力および第3出力が0であり、第2出力および第4出力が1である場合に、両走査回路は正常に動作していると判定される。

【0041】上記の構成によれば、論理回路に簡単な判定機能をもたせることができ、予め設定されたタイミングである出力が出るか否かにより、走査回路が正常に動作しているか否かを判定することができる。

【0042】従って、走査回路の良否を高速、かつ、精度良く判定することができる。

【0043】上記の表示装置は、シフト方向最終段の出力を、所定の段数だけさらにシフトさせることにより、予め設定された時間遅延させる遅延手段を備えていることが好ましい。

【0044】上記の構成によれば、簡単な構成で、スタートパルスと、シフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とを用いて、走査回路の検査を行うことができる。

【0045】上記の表示装置は、遅延手段は、シフトレジスタであることが好ましい。

【0046】上記の構成によれば、簡単な構成で、走査回路が双方向にシフト可能とすることができる。

【0047】上記の表示装置は、論理回路がExclusive

(7)

11

ORからなり、スタートパルスが入力されてから予め設定された時間後の出力が1であり、その前後の時間における出力が0である場合に、両走査回路は正常に動作していると判定されることが好ましい。

【0048】上記の構成によれば、予め設定されたタイミングである出力が出るか否かにより、走査回路が正常に動作しているか否かを判定することができる。

【0049】従って、走査回路の良否を高速、かつ、精度良く判定することができる。

【0050】上記の表示装置は、入力される表示モード切替信号によって切替可能な複数の表示モードを有し、表示モード切替信号がある特定の組み合わせで入力されたときには、論理回路の出力を両走査回路の動作に影響しない信号配線における信号端子に出力し、かつ、信号配線に入力される本来の信号を該信号配線から切り離すことにより、予め設定されたタイミングにおける出力を用いて両走査回路が正常に動作しているか否かを判定することが好ましい。

【0051】上記の構成によれば、表示モード切替信号の組み合わせにより、走査回路の良否判定を行うモードとすることができる。また、あるタイミングでの出力に応じて、走査回路の良否判定を行うことができる。

【0052】従って、簡単な構成で、走査回路の良否判定、即ち、走査回路が正常に動作しているか否かの判定を行うことができる。

【0053】上記の表示装置は、表示モード切替信号が入力される第1 NORゲートと、表示モード切替信号が全て0であるときにのみ、第1 NORゲートからの出力が入力される第2 NORゲートとを備え、第1 NORゲートからの出力およびその反転出力により駆動されるアナログスイッチにより、第1 NORゲートからの出力が0のとき第2 NORゲートへの入力がすべてプルアップされ、かつ、表示モード切替信号が第1 NORゲートから第2 NORゲートに入力された後は、その後表示モード切替信号が異なる組み合わせに変化しても、第2 NORゲートがアナログスイッチにより切り離されていることにより、第2 NORゲートの入力状態が容量に一定期間保持されることが好ましい。

【0054】上記の構成によれば、検査用端子を新たに設ける必要が無く、走査回路の動作の検査を行うことができる。

【0055】従って、特に、小型高精細パネル、モバイル機器、あるいはプロジェクション用などの小型高精細の液晶表示装置など、新たな端子を設けるスペースが小さな場合にも、走査回路の良否の判定を高速かつ確実に行うことができる。

【0056】本発明の表示装置は、上記の課題を解決するために、マトリクス状に配置される画素を線順次を選択して走査するためのゲートドライバと、上記選択されたラインの画素にデータ信号を供給するためのソースド

12

ライバとを備え、上記ゲートドライバおよび上記ソースドライバのうちの少なくとも一方のドライバが基板上にモノリシックに形成された表示装置において、モノリシックに形成された上記ドライバは上記シフト方向を双方向に切り替える切替手段を備え、上記両ドライバのうち、モノリシックに形成された上記ドライバの走査回路には、上記双方向それぞれに対応して、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期して、モノリシックに形成された上記ドライバの走査回路でシフトされるスタートパルスとが一定の周期で入力され、上記スタートパルスが第1方向にシフトされ、第1方向最終段まで転送された後、上記切替手段は、シフト方向を第1方向から第2方向に切り替え、さらに、上記第1方向最終段まで転送された上記シフトデータは、一時ラッチ回路に保持され、あるいは、上記第2方向へシフトするデータとして上記走査回路に直接入力されて、上記クロック信号に同期して上記第2方向にシフトされ、上記第2方向最終段（即ち、第1方向の入力側）まで転送されたシフトデータを用いて上記走査回路の検査を行うことを特徴としている。

【0057】上記の構成によれば、空間的にシフトデータの入力側に判定のもととなる信号が戻ってくる。このため、走査回路の良否判定、即ち、走査回路が双方向において正常に動作しているか否かの判定を行うことができ、かつ、検査のための余分な端子や長い信号のとり回し配線をなくすことにより、配線の複雑化を回避することができる。

【0058】上記の表示装置は、第2方向最終段まで転送されたシフトデータと、モノリシックに形成されたドライバの走査回路に、シフトデータとなったスタートパルスの次に入力されたスタートパルスとを、比較または判定論理回路へ入力することにより、走査回路が正常に動作しているか否かを判定することが好ましい。

【0059】上記の構成によれば、ある一定の幅を有するパルスを検査に用いる検査信号とし、論理計算するため、途中で他のパルスなどがあったとしても、それを誤って検査信号として認識することはない。

【0060】従って、走査回路の良否判定、即ち、走査回路が双方向において正常に動作しているか否かの判定を確実に行うことができる。

【0061】上記の表示装置は、第2方向最終段まで転送されたシフトデータにおいて、該シフトデータとなったスタートパルスが入力されてから予め設定された時間後に、所定の値が出力されるか否かにより、走査回路が正常に動作しているか否かを判定することが好ましい。

【0062】上記の構成によれば、例えば、出力が1であるはずのタイミングで0が検出されたり、あるいは、出力が0であるはずのタイミングで1が検出されたりすることにより、走査回路が正常に動作していないことを確認することができる。

(8)

13

【0063】また、ドライバを、基板上における画素アレイ領域の周辺部の僅かな領域に作り込むことができる。従って、TAB実装方式や、COG実装方式により駆動回路LSIを接続する場合と比較すると、基板の小額緑化を図ることができ、これにより、表示装置の小型化を図ることができる。

【0064】上記の表示装置は、走査回路が、金属触媒により結晶成長を促進した多結晶シリコンまたはポリシリコンからなることが好ましい。

【0065】上記の構成によれば、600℃以下の低いプロセス温度で、基板上に走査回路を形成することができる。

【0066】上記の表示装置は、液晶、電気泳動、または有機エレクトロルミネッセンス（有機EL（OLED））を用いて画素の表示を行うことが好ましい。

【0067】上記の構成によれば、例えば、液晶表示装置や、エレクトロルミネッセンス表示装置などとすることができる。

【0068】上記の表示装置は、スタートパルスとシフトデータのシフト方向最終段の出力との位相差を検出する位相差検出手段を備えていることが好ましい。

【0069】上記の構成によれば、スタートパルスと、シフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とを用いて、走査回路の検査を精度良く行うことができる。

【0070】上記の表示装置は、切替手段が、クロックインバータであり、クロックインバータへの入力値に基づいて、シフト方向が切り替えられることが好ましい。

【0071】上記の構成によれば、双方向における走査回路の良否を判定することができる。

【0072】上記の表示装置は、走査回路の出力がマルチプレクサにより分割されることが好ましい。

【0073】上記の構成によれば、シフトレジスタの段数に対する走査信号出力数を増やすことができ、スペースの縮小を図ることができる。また、パルス出力の重なりを任意に設定することができる。

【0074】本発明の走査回路検査方法は、上記の課題を解決するために、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期してシフトされるスタートパルスとを、一定の周期でドライバの走査回路に入力し、スタートパルスと、該スタートパルスに対応するシフトデータのシフト方向最終段の出力とを用いて論理計算し、その結果に基づいて上記走査回路が正常に動作しているか否かを判定することを特徴としている。

【0075】上記の構成によれば、スタートパルスと、シフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とを用いて、走査回路の検査を行っている。

14

【0076】これにより、ある一定の幅を有するパルスを検査に用いる検査信号とし、論理計算するため、途中で他のパルスなどがあつたとしても、それを誤って検査信号として認識することはない。

【0077】従って、確実に走査回路の良否判定、即ち、走査回路が正常に動作しているか否かの判定を行うことができる。

【0078】上記の走査回路検査方法は、シフトデータのシフト方向が双方向に切替可能な場合、スタートパルスと、該スタートパルスに対応するシフトデータのシフト方向最終段の出力とを用いて、各シフト方向において論理計算し、各シフト方向に対応した計算結果を用いてさらに論理計算することにより、走査回路が正常に動作しているか否かを判定することが好ましい。

【0079】上記の構成によれば、双方向における走査回路の良否判定を確実に行うことができる。

【0080】上記の走査回路検査方法は、2つの走査回路の各々において、論理計算をした後、それらの計算結果を用いて、さらに論理計算することにより、両走査回路が正常に動作しているか否かを判定することが好ましい。

【0081】上記の構成によれば、例えば小型高精細パネル、モバイル機器、あるいはプロジェクション用などの小型高精細の表示装置などにおいても、面積の増加や回路の複雑化を伴うことなく、確実に走査回路の良否判定を行うことができる。

【0082】本発明の走査回路検査方法は、上記の課題を解決するために、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期してシフトされるスタートパルスとを、一定の周期でドライバの走査回路に入力し、シフトデータを第1方向にシフトし、該第1方向における最終段まで転送した後、一時ラッチ回路に保持し、シフト方向を上記第1方向とは反対方向の第2方向に切り替え、上記第1方向における最終段まで転送されたシフトデータをさらに、上記第2方向にシフトし、該第2方向における最終段の出力と、次のスタートパルスとを用いて上記走査回路が正常に動作しているか否かを判定することを特徴としている。

【0083】上記の構成によれば、双方向における走査回路の良否判定を確実に行うことができる。

【0084】

【発明の実施の形態】〔実施の形態1〕本発明の表示装置に関する実施の一形態について図1ないし図6、および図9に基づいて説明すれば以下の通りである。

【0085】本実施の形態における液晶表示装置（表示装置）は、アクティブマトリクス基板と対向基板とが、液晶層を挟んで、対向配置されている。また、液晶表示装置は、画素がマトリクス状に配され、画素アレイ部を構成している。

【0086】アクティブマトリクス基板は、図9に示す



15

ように、ガラス基板（絶縁性基板）90、薄膜トランジスタ（以下、TFT:Thin Film Transistorと称する）99、画素電極92、ゲート線、データ線、層間絶縁膜94、および補助容量配線（以下、CS配線と称する）93を有している。

【0087】なお、TFT99は、ゲート線のゲート電極91、データ線のデータ電極、チャネル層、ゲート絶縁膜95、CG-Si膜98、金属配線100などにより構成されている。

【0088】さらに、ガラス基板90上には、図1に示すように、ゲート線に接続されたゲート走査回路（走査回路）を有するゲートドライバ（ドライバ）1と、データ線に接続されたソース走査回路（走査回路）を有するソースドライバ（ドライバ）2とが、モノリシックに形成されている。ゲート走査回路およびソース走査回路は、それぞれシフトレジスタからなる。

【0089】また、対向基板には対向電極が配されており、画素電極92と共に液晶を駆動する。

【0090】ここで、液晶の駆動原理について説明する。

【0091】液晶表示装置は、画面を表示するために、表示データを、ゲート線に沿って順次走査する。

【0092】例えば、あるゲート線を水平走査する場合、そのゲート線にTFT99をON状態にするゲート電圧が印加される。このとき、その他のゲート線はTFT99をOFF状態にするゲート電圧が印加されている。こうして、ゲート線の水平走査のときには、そのゲート線のためのTFT99がON状態となり、データ線に印加されている信号電圧がソース電極からドレイン電極を経て、ゲート線の画素電極92に加わる。

【0093】このとき、画素電極92に与えられた電荷が電荷蓄積容量に蓄積される。こうして画素電極92に印加された画素電圧と、対向電極に印加された対向電圧との電位差によって、各々の画素電極92上の液晶は駆動される。

【0094】表示画面全体を一回走査する1フレーム期間中、即ち、次のゲート電圧が印加されるまでは、そのときの画素電圧が電荷蓄積容量によって保持され、液晶は駆動されている。なお、1フレーム期間とは、液晶パネルにおいて、1表示画面を上から下まで1回垂直走査することをいう。

【0095】このようにして、ゲート線から順次走査し、このときすべてのデータ線にそれぞれの画素の駆動状態に合わせた信号電圧を印加していけば、必要な画素をすべて表示することができる。

【0096】以下、ゲートドライバ1およびソースドライバ2の構成、および、それらのドライバ1・2を構成する、ゲート走査回路およびソース走査回路が正常に動作しているか否かの検査について図1を用いて説明する。ここで、ゲートドライバ1およびソースドライバ2

(9)

16

は、それぞれ双方向の走査が可能である。

【0097】ゲートドライバ1へは、入力パッド（駆動信号入力端子）5を介して、ソースドライバ2へは、入力パッド（駆動信号入力端子）4を介してそれぞれ外部から信号が入力される。

【0098】ゲートドライバ1には、クロックG-CK（CK）およびスタートパルスG-SPが入力される。ゲートドライバ1におけるシフトレジスタ（走査回路）では、クロックG-CKに同期して、まず、スタートパルスG-SP（SP）がシフトデータとして1段目からm段目（最終段）までシフトされる。ここで、シフトデータのシフト方向最終段、即ち、ここではm段目から（最終）の出力は、図4に示すように、予め設定された時間遅延してなされる。

【0099】そして、そのm段目からの出力は、NANDゲート13とインバータ14とからなる第1論理回路（第1の論理回路）に入力される。

【0100】さらに、走査方向切替信号により、シフト方向が（第1方向から第2方向に）切り替えられ、ゲートドライバ1におけるシフトレジスタでは、クロックG-CKに同期して、スタートパルスG-SPがシフトデータとしてm段目から1段目（最終段）までシフトされる。ここで、シフトデータのシフト方向最終段、即ち、ここでは1段目からの出力は、予め設定された時間遅延してなされる。

【0101】そして、その1段目からの出力は、NANDゲート11とインバータ12とからなる第1論理回路に入力される。

【0102】また、インバータ12からの出力（第1出力）およびインバータ14からの出力（第1出力、第1の出力）は、NORゲート15からなる第2論理回路（第2の論理回路）に入力される。

【0103】一方、ソースドライバ2には、クロックS-CK（CK）およびスタートパルスS-SP（スタートパルス）が入力される。ソースドライバ2におけるシフトレジスタでは、クロックS-CKに同期して、まず、スタートパルスS-SP（SP）がシフトデータとして1段目からn段目（最終段）までシフトされる。ここで、シフトデータのシフト方向最終段、即ち、ここではn段目からの出力は、図4に示すように、予め設定された時間遅延してなされる。

【0104】そして、そのn段目からの出力は、NANDゲート23とインバータ24とからなる第3論理回路（第1の論理回路）に入力される。

【0105】さらに、シフトレジスタにより、シフト方向が切り替えられ、ソースドライバ2におけるシフトレジスタでは、クロックS-CKに同期して、スタートパルスS-SPがシフトデータとしてn段目から1段目（最終段）までシフトされる。ここで、シフトデータのシフト方向最終段、即ち、ここでは1段目からの出力

50

(10)

17

は、予め設定された時間遅延してなされる。

【0106】そして、その1段目からの出力は、NANDゲート21とインバータ22とからなる第3論理回路に入力される。

【0107】また、インバータ22からの出力（第3出力）およびインバータ24からの出力（第3出力、第1の出力）は、NORゲート25からなる第4論理回路（第2の論理回路）に入力される。

【0108】その後、NORゲート15からの出力（第2出力）およびNORゲート25からの出力（第4出力）は、EX-OR（Exclusive OR：排他的論理和）30からなる第5論理回路に入力される。EX-OR30の出力（第5出力、検査出力信号）は、検査用パッド（検査用端子）3に入力され、外部に取り出される。

【0109】即ち、ゲートドライバ1およびソースドライバ2のいずれも双方向走査に対応している場合、ゲートドライバ1からのNORゲート出力とソースドライバ2からのNORゲート出力とをEX-OR30に入力し、このEX-OR30の出力を、通常の入力パッド4・5と並設された検査用パッド3に接続しておく。

【0110】そして、走査回路が正常に動作しているか否かという良否の判定は、この検査用パッド3にプローブ針を当てて観測し、予め設定したタイミングでの検査用パッド3からの出力（最終の出力）と、その前後の時間における出力との同異により、例えば、予め設定したタイミングで1が出力され、それ以外のタイミングでは0が出力されていることを確かめることにより、することができる。

【0111】なお、走査回路の良否の判定は、これに限定されるものではなく、例えば、NORゲート15・25の出力を直接プローブ針を当てて観測して行ってもかまわない。

【0112】また、直接NANDゲート11またはNANDゲート13、NANDゲート21またはNANDゲート23、あるいは、インバータ12またはインバータ14、インバータ22またはインバータ24の出力を観測することによって、走査回路の良否の判定を行ってもかまわない。この場合、双方向走査に対応していないドライバにも適用することができる。

【0113】上記論理回路における組み合わせは、同様の論理が最終的に実現できるものであれば上述したもの限定されるものではない。また、正論理に限定されるものではなく、負論理の信号に対しても同様の機能を持たせることもできる。

【0114】ここで、ドライバ1・2における双方向走査は、図2に示す構成のシフトレジスタによって行う。ここで、Rは、シフト方向が図中左から右向き、Lは、シフト方向が図中右から左向き、 $\phi$ は制御信号であることを示す。

【0115】入力されたスタートパルスSPは、クロッ

18

クCKの1/2の周期でシフトし、出力するシフトデータのパルス幅はクロックの1周期分となる。通常は、隣接するパルスが重ならないように、隣接出力間でNANDゲートを通す、あるいは、分周回路を通すなどの手段により、出力するシフトデータのパルス幅をクロックCKの1/2周期となるように設定している。

【0116】シフトデータのシフト方向最終段の出力を、予め設定された時間遅延させるための遅延回路は、図2に示すシフトレジスタと同様のシフトレジスタで形成でき、必要な遅延時間に対応する段数を形成しておけばよい。

【0117】なお、双方向走査を実現するための手段は、上記シフトレジスタに限定されるものではなく、図3(a)(b)に示すフリップフロップを用い、その入力と出力とをアナログスイッチによりつなぎかえてもよい。

【0118】また、ドライバ1・2は、双方向走査できるものに特に限定されるものではなく、一方向のみの走査を行うものでもかまわない。

【0119】以下に、アクティブマトリクス基板の製造工程の一例について説明する。

【0120】まず、絶縁性の例えばガラス基板90上の全面に、a-Si層を堆積した後、Si表面を親水性にするために、薄い酸化膜を形成し、その上に酢酸Ni水溶液をスピコートする。

【0121】次に、600℃で約12時間固相成長を行い、その上にSiO<sub>2</sub>膜を堆積し、デバイスの活性領域を形成する部分以外の酸化膜を除去する。

【0122】その後、酸化膜をマスクに、上記a-Si層の一部の領域に高濃度のP<sup>+</sup>イオンを注入し（15keV、 $5 \times 10^{15} \text{ cm}^{-2}$ ）、600℃で12時間熱処理を行う。その後、SiO<sub>2</sub>膜を除去し、再度Si上全面にSiO<sub>2</sub>膜を堆積し、950℃で約2時間塩酸を含む酸化雰囲気中で約30分酸化処理を行う。そして、デバイスの活性領域となる部分を残し、不要なSi膜を除去する。

【0123】これにより、TFTおよびドライバ1・2の走査回路が、金属触媒により結晶成長を促進した多結晶シリコンである連続粒界結晶シリコンを含むこととなる。

【0124】以降は、通常の良く知られたポリシリコンTFT形成プロセスと同様のプロセスにより、順次、ゲート絶縁膜95、ゲート電極、N<sup>+</sup>（P<sup>+</sup>イオン）およびP<sup>+</sup>（B<sup>+</sup>イオン）注入、SiO<sub>2</sub>およびBPSGからなる平坦化膜97、コンタクトホール97a、金属（AlSi）配線100、SiNx膜96、およびSiO<sub>2</sub>からなる層間絶縁膜94、遮光膜、ビアホール94a、ITOやIZOからなり透明電極である画素電極92を順次形成する。これにより、走査回路および表示部のTFT99を形成する。

(11)

19

【0125】なお、平坦化膜97におけるBPSSGは、アクリル樹脂やポリイミドなどの樹脂であってもかまわない。

【0126】このように、金属触媒により結晶化を促進して得られた連続粒界結晶シリコン（CG-Si: Continuous Grain Silicon）からなるTFT99は、従来の高温ポリシリコンTFTの移動度が約 $100\text{ cm}^2/\text{V} \cdot \text{sec}$ であったのに対し、約2～2.5倍の移動度を有する。

【0127】なお、TFTおよびドライバ1・2の走査回路は、CG-Siに限定されるものではなく、p-Si（ポリシリコン）からなるものであっても、走査回路の良否判定については、上記と同様の効果が得られる。

【0128】また、ドライバ1・2における双方向走査の走査方向（シフト方向）切り替えは、図2あるいは図3に示すように、クロックインバータのL・Rへの信号、あるいは、アナログスイッチの設定を切り替えてもかまわない。入力と最終段出力との切り替えは、図5に示すように、アナログスイッチ51・52を用いて行ってもかまわない。

【0129】アナログスイッチ51・52は、電子回路部からの走査方向切替信号に基づいてアナログスイッチ51…、あるいは、アナログスイッチ52…のいずれかが選択され、ONになる。

【0130】アナログスイッチ51…がONのとき、ゲートドライバ1ではスタートパルスG-SPがシフトデータとして1段目からm段目（最終段）までシフトされる。また、ソースドライバ2ではスタートパルスS-SPがシフトデータとして1段目からn段目（最終段）までシフトされる。

【0131】そして、ゲートドライバ1におけるm段目からの出力と、ソースドライバ2におけるn段目からの出力とが、EX-OR（論理回路）50に入力され、論理計算される。

【0132】そして、スタートパルスS-SPまたはスタートパルスG-SPが入力されてから予め設定された時間後のEX-OR50からの出力（出力）が1であり、その前後の時間における出力が0である場合に、ゲート走査回路およびソース走査回路は正常に動作していると判定される。

【0133】一方、アナログスイッチ52…がONのときも、アナログスイッチ51…がONのときと同様に（ただし、走査方向はアナログスイッチ51…がONのときと反対方向）論理計算され、走査回路の良否が判定される。

【0134】また、図6に示すように、図1に示すNANDゲート21およびインバータ22と並列にEX-OR61を、NANDゲート23およびインバータ24と並列にEX-OR62を接続し、さらに、インバータ22からの出力とEX-OR61からの出力とをNORゲ

20

ート63に、インバータ24からの出力とEX-OR62からの出力とをNORゲート64に入力し、NORゲート63からの出力とNORゲート64からの出力とをEX-OR65に入力することにより、走査回路の良否判定を行ってもかまわない。

【0135】これにより、ゲート走査回路およびソース走査回路のうちのいずれかが正常に動作せず、所定の値（例えば「1」）が出力されるべきタイミング以外で該所定値（この場合「1」）が出力されることを検出することができる。

【0136】なお、本実施の形態は、表示装置として液晶表示装置を用いて説明したが、特に限定されるものではなく、他の電気泳動、あるいは有機EL（エレクトロルミネッセンス）などの発光ダイオードを用いた表示装置でも同様の効果が得られる。

【0137】また、上記走査回路の出力は、マルチプレクサにより分割されていてもかまわない。これにより、スペースの縮小およびシフトレジスタの段数の低減を図ることができる。また、より広い範囲で、走査回路の検査を行うことができる。

【0138】さらに、走査回路において、入力されたスタートパルスとそれに対応するシフトデータのシフト方向最終段の出力との位相差を検出する位相差検出手段を備えていてもかまわない。

【0139】これにより、スタートパルスと、シフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とを用いて、走査回路の検査を精度良く行うことができる。

【0140】〔実施の形態2〕本発明の他の実施の形態について図7に基づいて説明すれば、以下の通りである。なお、本実施の形態において、実施の形態1における構成要素と同等の機能を有する構成要素については、同一の符号を付記してその説明を省略する。

【0141】本実施の形態に係る液晶表示装置は、図7に示すように、実施の形態1において図1に示した構成と同様、シフト方向が双方向に切り替え可能なゲートドライバ1・ソースドライバ2、および入力パッド4・5を備えている。

【0142】ゲートドライバ1・ソースドライバ2からは、そのシフト方向に対応してその最終段から出力されるが、入力される走査方向切替信号に応じて、双方向のうちどちらかのシフト方向に対応する出力が、アナログスイッチによって選択される。

【0143】選択された出力は、そのまま、あるいは遅延してEX-OR76に入力される。

【0144】また、本実施の形態においては、3種類の表示モード切替信号（MODE1信号、MODE2信号、MODE3信号（図7中MODE1、MODE2、MODE3））に基づいて、3種類の画像表示フォーマット（表示モード）を切り替えて用いる。ここでは、3

(12)

21

種類の表示モード切替信号がすべて0の組み合わせで入力パッド75…に入力されたときに、表示モード切替回路の配線の途中から分岐して、3入力のNORゲート（第2NORゲート）72に inputs されて、テストモード\*

22

\*に切り替えられる。3種類の表示モード切替信号の組み合わせの一例を以下の表1に示す。

【0145】

【表1】

	MODE 1 信号	MODE 2 信号	MODE 3 信号
MODE 1	1	1	1
MODE 2	0	1	1
MODE 3	1	0	x
TEST	0	0	0

【0146】ここで、MODE 1 信号、MODE 2 信号、MODE 3 信号は表示切替用のDCレベルである。また、表1中に「x」とあるのは、この部分のみ例えばブランキング時にパルス信号が出ることをさす。このとき、例えば画面の上下領域（非表示領域）の走査出力が全てON（H）の状態になり、これにより、画素には黒の表示データが書き込まれる。

【0147】即ち、テストモードの場合、3種類の表示モード切替信号は、NORゲート71（第1NORゲート）の出力により駆動されるアナログスイッチを介して、NORゲート72に inputs される。

【0148】そして、NORゲート72の出力により、走査回路の動作に影響しない特定の信号線、ここでは、プリチャージ制御線からPCG（プリチャージ制御信号）が切り離され、そのかわりにEX-OR 76の出力が、プリチャージ制御線の入力端子74にアナログスイッチを介して接続される。

【0149】ここで、NORゲート72の各入力には、メモリ用の小さいキャパシタ（非補助容量）73が接続されている。このため、テストモードが設定された後、いずれかの入力パッド75に1が inputs され、NORゲート72が3種類の表示モード切替信号からアナログスイッチで切り離されても、キャパシタ73の容量により、テストモードに設定された状態が維持される。その後、十分な時間が経過した後、テストモードは自動的に通常の動作モード（MODE 1～3）に復帰する。

【0150】上記EX-OR 76の出力は、テストモードに設定された場合のみ入力端子74に自動的に outputs される。入力端子74にプローブ針を当てて信号を観察することにより、EX-OR 76の出力が、予め設定されたタイミング1であり、それ以外では0であるか否かを検出することにより、走査回路の良否判定を行うことができる。即ち、出力が1であるはずのタイミングで0が検出されたり、あるいは、出力が0であるはずのタイミングで1が検出されたりすることにより、走査回路が正常に動作していないことが確認できる。

【0151】これにより、検査用端子を新たに設ける必要が無く、走査回路の動作の検査を行うことができる。

【0152】従って、特に、小型高精細パネル、モバイ

ル機器、あるいはプロジェクション用などの小型高精細の液晶表示装置など、新たな端子を設けるスペースが小さな場合にも、走査回路の良否の判定を高速かつ確実に行うことができる。

【0153】なお、上述した表示モード切替信号の組み合わせは、単なる一例であり、本実施の形態に記載の組み合わせに限定されるものではない。

【0154】〔実施の形態3〕本発明のさらに他の実施の形態について図8に基づいて説明すれば、以下の通りである。なお、本実施の形態において、実施の形態1における構成要素と同等の機能を有する構成要素については、同一の符号を付記してその説明を省略する。

【0155】本実施の形態に係る液晶表示装置は、図8に示すように、実施の形態1において図1に示した構成と同様、シフト方向が双方向に切り替え可能なゲートドライバ1・ソースドライバ2、検査用パッド3および入力パッド4・5を備えている。

【0156】ゲートドライバ1に、クロックG-CKおよびスタートパルスG-SPが inputs され、シフト方向が第1方向にセットされると、ゲートドライバ1におけるシフトレジスタでは、クロックG-CKに同期して、まず、スタートパルスG-SPがシフトデータとして1段目からm段目（第1方向における最終段）までシフトされる。なお、このときスイッチ84がON、スイッチ85がOFFとなっている。また、例えば、検査をしない設定で、逆方向走査のときは、スイッチ84をOFF、スイッチ85をONに設定する。

【0157】そのm段目からの出力はラッチ回路に保持されることにより一時ラッチされる。そして、シフト方向が第1方向とは反対方向の第2方向に切り替えられる、即ちラッチされていた出力を入力とし、順次クロックG-CKに同期して、シフトデータとしてm段目から1段目（最終段、第2方向における最終段）までシフトされる。

【0158】そして、最終段、即ち、1段目まで転送されたシフトデータは、ラッチ回路により一時ラッチされ、次のスタートパルスG-SPとともにNANDゲート81に inputs され、論理計算される。

【0159】一方、ソースドライバ2においても、ゲー

50

(13)

23

トドライバ1と同様に、n段目まで転送されたシフトデータが一時ラッチされた後、再び入力されて、1段目まで転送される。そして、1段目まで転送されたシフトデータは、一時ラッチされ、次のスタートパルスS-S PとともにNANDゲート82に入力され、論理計算される。

【0160】そして、NANDゲート81からの出力とNANDゲート82からの出力とは、EX-OR80に入力され論理計算される。

【0161】EX-OR80の出力が予め設定されたタイミングで1であり、それ以外では0であるか否かを検出することにより、走査回路の良否判定を行うことができる。即ち、出力が1であるはずのタイミングで0が検出されたり、あるいは、出力が0であるはずのタイミングで1が検出されたりすることにより、走査回路が正常に動作していないことが確認できる。

【0162】なお、m段目およびn段目におけるシフトデータの一時ラッチは、水平および垂直のブランキングに対応させてタイミングを調節するもので、ブランキング時間がない場合は、行っても行わなくてもかまわない。

【0163】また、NANDゲート81・82を用いることなく、シフトデータとスタートパルスとの比較を行うことにより、走査回路の良否判定を行ってもかまわない。

【0164】

【発明の効果】本発明の表示装置は、以上のように、ゲートドライバおよびソースドライバのうち、モノリシックに形成されたドライバの走査回路には、クロック信号と、一定の幅を有し、シフトデータとしてクロック信号に同期して、モノリシックに形成されたドライバの走査回路でシフトされるスタートパルスとが一定の周期で入力され、スタートパルスと、該スタートパルスに対応するシフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とが、第1の論理回路に入力され、該第1の論理回路からの第1の出力により走査回路の検査を行う構成である。

【0165】これにより、ある一定の幅を有するパルスを検査に用いる検査信号とし、論理計算するため、途中で他のパルスなどがあっても、それを誤って検査信号として認識することはない。

【0166】従って、確実に走査回路の良否判定、即ち、走査回路が正常に動作しているか否かの判定を行うことができる。

【0167】また、ドライバが基板上にモノリシックに形成されていることより、ドライバ（駆動回路）の走査回路を、スイッチング素子と同一プロセスで形成することができる。これにより、例えば、駆動回路LSIを後から別途設ける必要がなくなり、製造コストの削減および実装工程の簡略化を図ることができるといった効果を

24

奏する。

【0168】本発明の表示装置は、モノリシックに形成されたドライバはシフト方向を双方向に切り替える切替手段を備え、ドライバの走査回路には、クロック信号とスタートパルスとが入力され、各々のシフト方向における各第1の出力は第2の論理回路に入力され、該第2の論理回路からの第2の出力により走査回路の検査を行う構成である。

【0169】これにより、上記の構成によれば、双方向における走査回路の良否判定を確実に行うことができるといった効果を奏する。

【0170】本発明の表示装置は、シフト方向を双方向に切り替える切替手段を備えるゲートドライバおよびソースドライバの各走査回路には、クロック信号と、一定の幅を有し、シフトデータとしてクロック信号に同期して走査回路でシフトされるスタートパルスとが一定の周期で入力され、ゲートドライバの走査回路へのスタートパルスと、該ゲートドライバの走査回路へのスタートパルスに対応するシフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とが、シフト方向ごとにそれぞれ第1論理回路に入力され、各々のシフト方向における各第1論理回路からの各第1出力は共に第2論理回路に入力される一方、ソースドライバの走査回路へのスタートパルスと、該ソースドライバの走査回路へのスタートパルスに対応するシフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とが、上記シフト方向ごとにそれぞれ第3論理回路に入力され、各々のシフト方向における各第3論理回路からの各第3出力は共に第4論理回路に入力され、第2出力と第4出力とは、第5論理回路に入力され、該第5論理回路の第5出力により両走査回路の検査を行う構成である。

【0171】これにより、ある一定の幅を有するパルスを検査に用いる検査信号とし、論理計算するため、途中で他のパルスなどがあっても、それを誤って検査信号として認識することはない。

【0172】従って、確実に走査回路の良否判定、即ち、走査回路が正常に動作しているか否かの判定を行うことができる。

【0173】この結果、例えば小型高精細パネル、モバイル機器、あるいはプロジェクション用などの小型高精細の表示装置などにおいても、面積の増加や回路の複雑化を伴うことなく、確実に走査回路の良否判定を行うことができるといった効果を奏する。

【0174】本発明の表示装置は、第5出力が接続された検査用端子を備えている構成である。

【0175】これにより、一部あるいは全ての走査回路の最終段の出力を簡単な構成の論理回路を通して、1本の信号として1個の検査用端子（例えば、パッド）に出力することができる。従って、例えば検査用端子にプロ

(14)

25

ープ針を当てることにより、容易に、走査回路の良否判定を行うことができるといった効果を奏する。

【0176】本発明の表示装置は、ゲートドライバおよびソースドライバのうち少なくとも一方は、シフト方向を双方向に切り替える切替手段と、いずれかのシフト方向の最終段の出力とスタートパルスとを選択するアナログスイッチとを備え、両ドライバの各走査回路には、シフト方向ごとに、クロック信号と、一定の幅を有し、シフトデータとしてクロック信号に同期して走査回路でシフトされるスタートパルスとが一定の周期で入力され、両走査回路の最終段からの出力は、共に論理回路に入力され、該論理回路の出力により両走査回路の検査を行う構成である。

【0177】これにより、ある一定の幅を有するパルスを検査に用いる検査信号とし、論理計算するため、途中で他のパルスなどがあったとしても、それを誤って検査信号として認識することはない。

【0178】従って、簡単な構成で、確実に双方向における走査回路の良否判定、即ち、走査回路が正常に動作しているか否かの判定を行うことができるといった効果を奏する。

【0179】本発明の表示装置は、走査回路の検査において、スタートパルスが入力されてから予め設定された時間後の、検査に用いるための走査回路および論理回路からの出力のうち最終の出力を検出することにより、走査回路が正常に動作しているか否かを判定する構成である。

【0180】即ち、スタートパルスが入力されてから予め設定された時間後の最終の出力が、その前後の時間における該最終の出力とは異なる所定の値となる場合に、走査回路は正常に動作していると判定する構成である。

【0181】具体的には、第1の論理回路は、NANDゲートとインバータとから、第2の論理回路はNORゲートからなり、かつ、スタートパルスのシフト方向最終段の出力が0または1のとき、スタートパルスが入力されてから予め設定された時間後の第2の出力が1または0であり、その前後の時間における第2の出力が0または1である場合に、走査回路は正常に動作していると判定される構成である。

【0182】あるいは、第1論理回路および第3論理回路は、NANDゲートとインバータとから、第2論理回路および第4論理回路はNORゲートから、第5論理回路はExclusive ORからなり、各スタートパルスが入力されてから予め設定された時間後の、各スタートパルスに対応する第1出力および第3出力が1であり、第2出力および第4出力が0であるとき、その前後の時間における第1出力および第3出力が0であり、第2出力および第4出力が1である場合に、両走査回路は正常に動作していると判定される構成である。

【0183】これにより、論理回路に簡単な判定機能を

26

もたせることができ、予め設定されたタイミングである出力が出るか否かにより、走査回路が正常に動作しているか否かを判定することができる。

【0184】従って、走査回路の良否を高速、かつ、精度良く判定することができるといった効果を奏する。

【0185】本発明の表示装置は、シフト方向最終段の出力を、所定の段数だけさらにシフトさせることにより、予め設定された時間遅延させる遅延手段を備えている構成である。

【0186】これにより、簡単な構成で、スタートパルスと、シフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とを用いて、走査回路の検査を行うことができるといった効果を奏する。

【0187】本発明の表示装置は、遅延手段は、シフトレジスタである構成である。

【0188】これにより、簡単な構成で、走査回路が双方向にシフト可能とすることができるといった効果を奏する。

【0189】本発明の表示装置は、論理回路がExclusive ORからなり、スタートパルスが入力されてから予め設定された時間後の出力が1であり、その前後の時間における出力が0である場合に、両走査回路は正常に動作していると判定される構成である。

【0190】これにより、予め設定されたタイミングである出力が出るか否かにより、走査回路が正常に動作しているか否かを判定することができる。

【0191】従って、走査回路の良否を高速、かつ、精度良く判定することができるといった効果を奏する。

【0192】本発明の表示装置は、入力される表示モード切替信号によって切替可能な複数の表示モードを有し、表示モード切替信号がある特定の組み合わせで入力されたときには、論理回路の出力を両走査回路の動作に影響しない信号配線における信号端子に出力し、かつ、信号配線に入力される本来の信号を該信号配線から切り離すことにより、予め設定されたタイミングにおける出力を用いて両走査回路が正常に動作しているか否かを判定する構成である。

【0193】これにより、表示モード切替信号の組み合わせにより、走査回路の良否判定を行うモードとすることができる。また、あるタイミングでの出力に応じて、走査回路の良否判定を行うことができる。

【0194】従って、簡単な構成で、走査回路の良否判定、即ち、走査回路が正常に動作しているか否かの判定を行うことができるといった効果を奏する。

【0195】本発明の表示装置は、表示モード切替信号が入力される第1NORゲートと、表示モード切替信号が全て0であるときにのみ、第1NORゲートからの出力が入力される第2NORゲートとを備え、第1NORゲートからの出力およびその反転出力により駆動される

(15)

27

アナログスイッチにより、第1 NORゲートからの出力が0のとき第2 NORゲートへの入力がすべてプルアップされ、かつ、表示モード切替信号が第1 NORゲートから第2 NORゲートに入力された後は、その後表示モード切替信号が異なる組み合わせに変化しても、第2 NORゲートがアナログスイッチにより切り離されていることにより、第2 NORゲートの入力状態が容量に一定期間保持される構成である。

【0196】これにより、検査用端子を新たに設ける必要が無く、走査回路の動作の検査を行うことができる。

【0197】従って、特に、小型高精細パネル、モバイル機器、あるいはプロジェクション用などの小型高精細の液晶表示装置など、新たな端子を設けるスペースが小さな場合にも、走査回路の良否の判定を高速かつ確実に行うことができるといった効果を奏する。

【0198】本発明の表示装置は、モノリシックに形成されたドライバはシフト方向を双方向に切り替える切替手段を備え、ゲートドライバおよびソースドライバのうち、モノリシックに形成されたドライバの走査回路には、双方向それぞれに対応して、クロック信号と、一定の幅を有し、シフトデータとしてクロック信号に同期して、モノリシックに形成されたドライバの走査回路でシフトされるスタートパルスとが一定の周期で入力され、スタートパルスが第1方向にシフトされ、第1方向最終段まで転送された後、切替手段は、シフト方向を第1方向から第2方向に切り替え、さらに、第1方向最終段まで転送されたシフトデータは、一時ラッチ回路に保持され、あるいは、第2方向へシフトするデータとして走査回路に直接入力されて、クロック信号に同期して第2方向にシフトされ、第2方向最終段（即ち、第1方向の入力側）まで転送されたシフトデータを用いて走査回路の検査を行う構成である。

【0199】これにより、空間的にシフトデータの入力側に判定のもととなる信号が戻ってくる。このため、走査回路の良否判定、即ち、走査回路が双方向において正常に動作しているか否かの判定を行うことができ、かつ、検査のための余分な端子や長い信号のとり回し配線をなくすことにより、配線の複雑化を回避することができるといった効果を奏する。

【0200】本発明の表示装置は、第2方向最終段まで転送されたシフトデータと、モノリシックに形成されたドライバの走査回路に、シフトデータとなったスタートパルスの次に入力されたスタートパルスとを、比較または判定論理回路へ入力することにより、走査回路が正常に動作しているか否かを判定する構成である。

【0201】これにより、ある一定の幅を有するパルスを検査に用いる検査信号とし、論理計算するため、途中で他のパルスなどがあったとしても、それを誤って検査信号として認識することはない。

【0202】従って、走査回路の良否判定、即ち、走査

28

回路が双方向において正常に動作しているか否かの判定を確実に行うことができるといった効果を奏する。

【0203】本発明の表示装置は、第2方向最終段まで転送されたシフトデータにおいて、該シフトデータとなったスタートパルスが入力されてから予め設定された時間後に、所定の値が出力されるか否かにより、走査回路が正常に動作しているか否かを判定することが好ましい。

【0204】これにより、例えば、出力が1であるはずのタイミングで0が検出されたり、あるいは、出力が0であるはずのタイミングで1が検出されたりすることにより、走査回路が正常に動作していないことを確認することができる。

【0205】また、ドライバを、基板上における画素アレイ領域の周辺部の僅かな領域に作り込むことができる。従って、TAB実装方式や、COG実装方式により駆動回路LSIを接続する場合と比較すると、基板の小額縁化を図ることができ、これにより、表示装置の小型化を図ることができるといった効果を奏する。

【0206】本発明の表示装置は、走査回路が、金属触媒により結晶成長を促進した多結晶シリコンまたはポリシリコンからなる構成である。

【0207】これにより、600℃以下の低いプロセス温度で、基板上に走査回路を形成することができるといった効果を奏する。

【0208】本発明の表示装置は、液晶、電気泳動、または有機エレクトロルミネッセンスを用いて画素の表示を行う構成である。

【0209】これにより、例えば、液晶表示装置や、エレクトロルミネッセンス表示装置などとして行うことができるといった効果を奏する。

【0210】本発明の表示装置は、スタートパルスとシフトデータのシフト方向最終段の出力との位相差を検出する位相差検出手段を備えていることが好ましい。

【0211】上記の構成によれば、スタートパルスと、シフトデータのシフト方向最終段の出力であって、予め設定された時間遅延してなされた出力とを用いて、位相差を出力する位相差検出手段により、走査回路の良否判定ができるといった効果を奏する。

【0212】本発明の表示装置は、切替手段が、クロックインバータであり、クロックインバータへの入力値に基づいて、シフト方向が切り替えられる構成である。

【0213】これにより、一部のクロックインバータをOFFとすることでシフト方向が切り替えられ、双方向における走査回路の良否を判定することができるといった効果を奏する。

【0214】本発明の表示装置は、走査回路の出力がマルチプレクサにより分割される構成である。

【0215】これにより、シフトレジスタの段数に対す

(16)

29

る走査信号出力数を増やすことができ、スペースの縮小を図ることができる。また、パルス出力の重なりを任意に設定することができるといった効果を奏する。

【0216】本発明の走査回路検査方法は、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期してシフトされるスタートパルスとを、一定の周期でドライバの走査回路に入力し、スタートパルスと、該スタートパルスに対応するシフトデータのシフト方向最終段の出力とを用いて論理計算し、その結果に基づいて上記走査回路が正常に動作しているか否かを判定する構成である。

【0217】これにより、ある一定の幅を有するパルスを検査に用いる検査信号とし、論理計算するため、途中で他のパルスなどがあっても、それを誤って検査信号として認識することはない。

【0218】従って、確実に走査回路の良否判定、即ち、走査回路が正常に動作しているか否かの判定を行うことができるといった効果を奏する。

【0219】本発明の走査回路検査方法は、シフトデータのシフト方向が双方向に切替可能な場合、スタートパルスと、該スタートパルスに対応するシフトデータのシフト方向最終段の出力とを用いて、各シフト方向において論理計算し、各シフト方向に対応した計算結果を用いてさらに論理計算することにより、走査回路が正常に動作しているか否かを判定する構成である。

【0220】これにより、双方向における走査回路の良否判定を確実に行うことができるといった効果を奏する。

【0221】本発明の走査回路検査方法は、2つの走査回路の各々において、論理計算をした後、それらの計算結果を用いて、さらに論理計算することにより、両走査回路が正常に動作しているか否かを判定する構成である。

【0222】これにより、例えば小型高精細パネル、モバイル機器、あるいはプロジェクション用などの小型高精細の表示装置などにおいても、面積の増加や回路の複雑化を伴うことなく、確実に走査回路の良否判定を行うことができるといった効果を奏する。

【0223】本発明の走査回路検査方法は、クロック信号と、一定の幅を有し、シフトデータとして上記クロック信号に同期してシフトされるスタートパルスとを、一定の周期でドライバの走査回路に入力し、シフトデータを第1方向にシフトし、該第1方向における最終段まで転送した後、一時ラッチ回路に保持し、シフト方向を上記第1方向とは反対方向の第2方向に切り替え、上記第1方向における最終段まで転送されたシフトデータをさらに、上記第2方向にシフトし、該第2方向における最終段の出力と、次のスタートパルスとを用いて上記走査回路が正常に動作しているか否かを判定する構成である。

30

【0224】これにより、双方向における走査回路の良否判定を確実に行うことができるといった効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る液晶表示装置の概略構成を示す回路図である。

【図2】シフトレジスタの構成を示す回路図である。

【図3】(a)は、フリップフロップの構成を示す回路図であり、(b)は、(a)に示すAの構成を示す回路図である。

【図4】スタートパルスのシフト方向における駆動動作を示すタイミングチャートである。

【図5】シフト方向の切り替えに、アナログスイッチを用いる場合の構成を示す回路図である。

【図6】図1に示すソースドライバに、NORゲートおよびEX-ORをさらに接続した場合の回路図である。

【図7】本発明の実施の他の一形態に係る液晶表示装置の概略構成を示す回路図である。

【図8】本発明の実施のさらに他の一形態に係る液晶表示装置の概略構成を示す回路図である。

【図9】液晶表示装置の概略の構成を示す断面図である。

【図10】従来の液晶表示装置の概略構成を示す回路図である。

【図11】(a)は、従来の他の液晶表示装置の概略構成を示す回路図であり、(b)は、(a)に示すシフトレジスタの構成を示す回路図である。である。

【図12】従来のさらに他の液晶表示装置の概略構成を示す回路図である。

【符号の説明】

- |    |                          |
|----|--------------------------|
| 1  | ゲートドライバ (ドライバ)           |
| 2  | ソースドライバ (ドライバ)           |
| 3  | 検査用パッド (検査用端子)           |
| 11 | NANDゲート (第1論理回路)         |
| 12 | インバータ (第1論理回路)           |
| 13 | NANDゲート (第1論理回路、第1の論理回路) |
| 14 | インバータ (第1論理回路、第1の論理回路)   |
| 15 | NORゲート (第2論理回路、第2の論理回路)  |
| 21 | NANDゲート (第3論理回路)         |
| 22 | インバータ (第3論理回路)           |
| 23 | NANDゲート (第3論理回路、第1の論理回路) |
| 24 | インバータ (第3論理回路、第1の論理回路)   |
| 25 | NORゲート (第4論理回路、第2の論理回路)  |
| 30 | EX-OR (第5論理回路)           |
| 50 | EX-OR (論理回路)             |
| 71 | NORゲート (第1NORゲート)        |

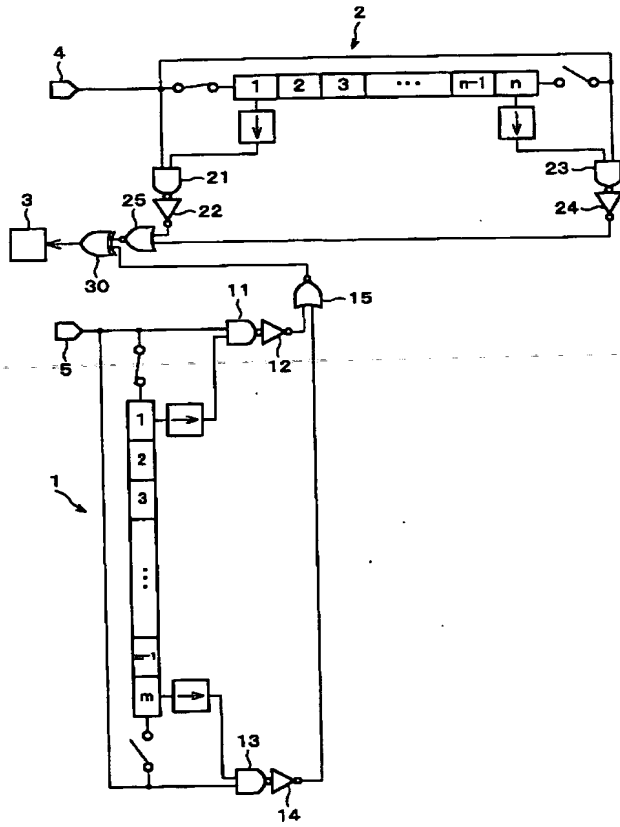


(17)

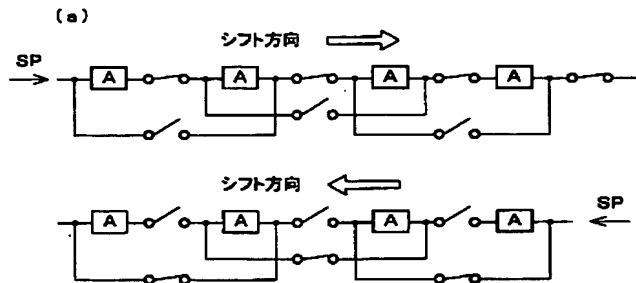
31  
7 2 NORゲート (第2 NORゲート)  
7 6 EX-OR

32  
8 1 NANDゲート  
8 2 NANDゲート

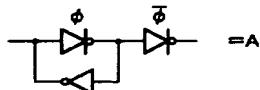
【図1】



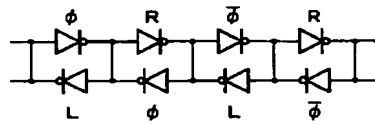
【図3】



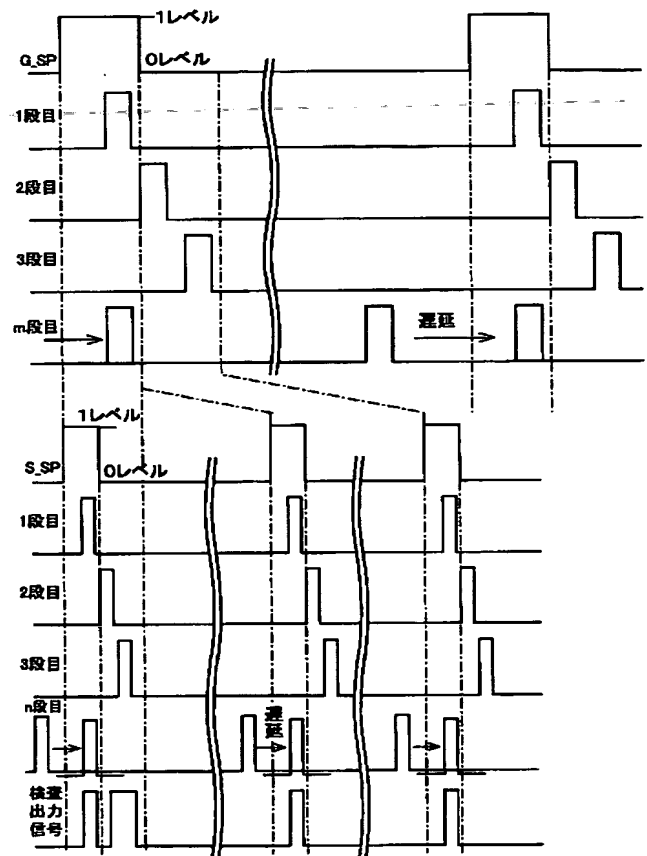
(b)



【図2】

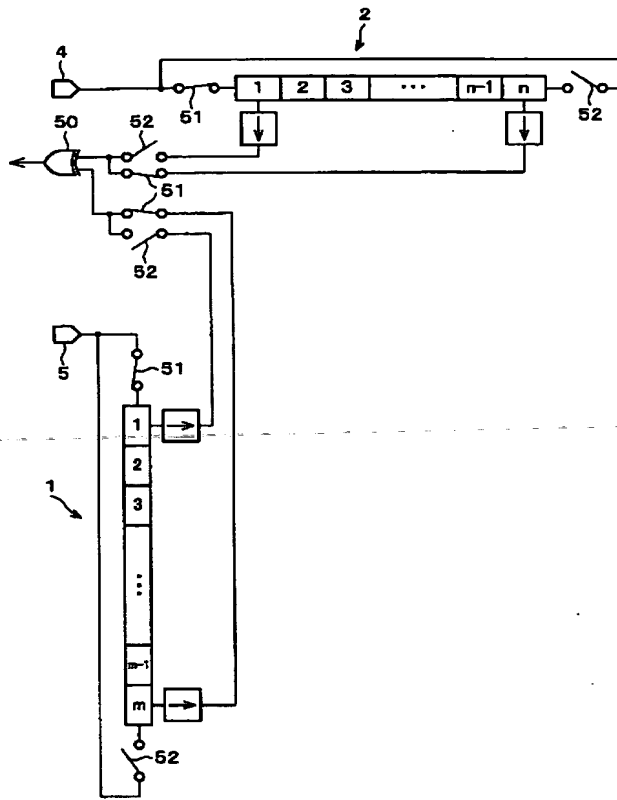


【図4】

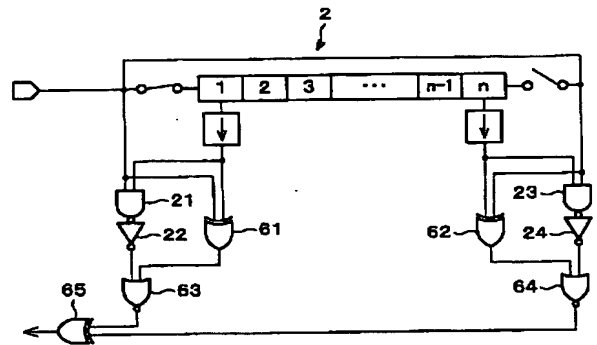


(18)

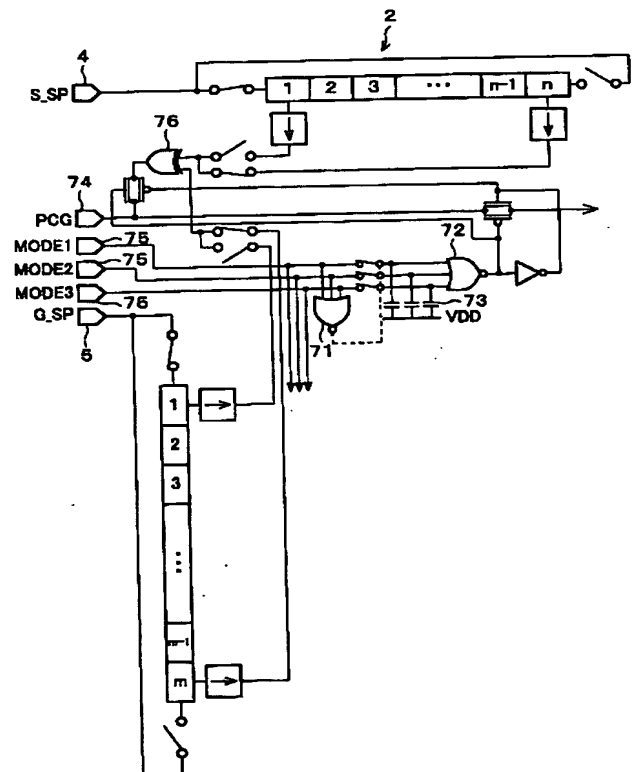
【図5】



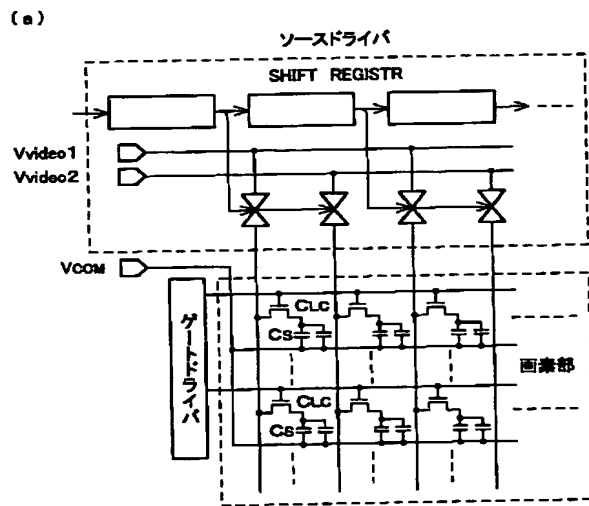
【図6】



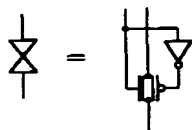
【図7】



【図11】



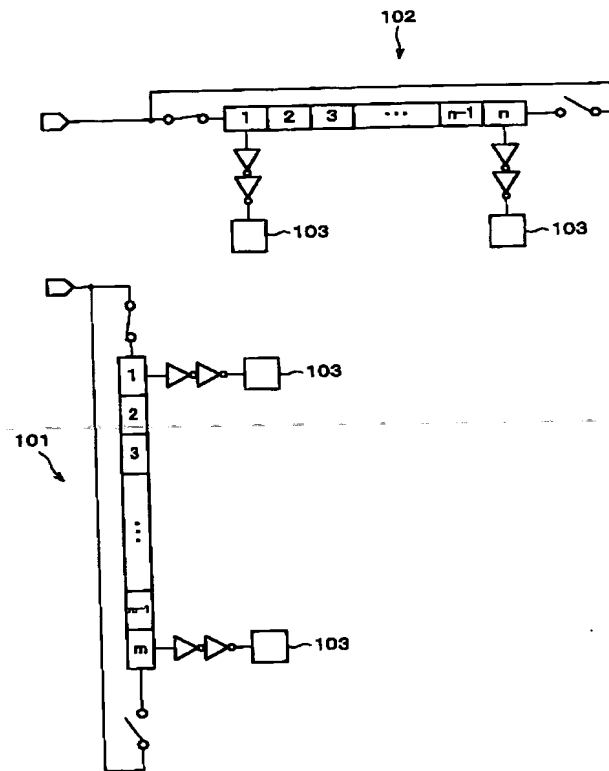
(b)





(20)

【図12】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テ-マ-ト* (参考)
G 0 9 F 9/00	3 4 8	G 0 9 F 9/00	3 4 8 C 5 G 4 3 5
	3 5 2		3 5 2
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 E
	6 2 3		6 2 3 H
	6 7 0		6 7 0 Q

(72) 発明者 柴崎 明

大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(21)

Fターム(参考) 2H088 FA13 HA02 HA08 MA20  
2H092 GA33 GA59 JA24 JB77 NA30  
PA06  
2H093 NA16 NC22 NC34 ND56  
5C006 AA01 AA16 AC11 AF22 AF53  
AF71 BB16 BC03 BC11 BC20  
BF03 BF04 BF06 BF07 BF11  
BF14 BF24 BF26 BF27 BF34  
BF49 EB01 EB05 EC11 FA01  
FA43 FA51 FA56  
5C080 AA06 AA10 AA13 BB05 DD15  
DD28 EE17 EE29 FF11 GG08  
HH09 JJ02 JJ03 JJ04 JJ06  
KK07 KK43  
5G435 AA17 BB05 BB11 BB12 CC09  
EE37 HH12 HH13 HH14 KK05  
KK09